

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of: **Kazuhiro TASHIRO et al.**

Serial Number: **Not Yet Assigned**

Filed: **March 16, 2004**

For: **METHOD OF SEMICONDUCTOR DEVICE PROTECTION, PACKAGE OF SEMICONDUCTOR DEVICE**

Attorney Docket No. **042236**

Customer No.: **38834**

CLAIM FOR PRIORITY UNDER 35 U.S.C. 119

Commissioner for Patents
P. O. Box 1450
Alexandria, VA 22313-1450

March 16, 2004

Sir:

The benefit of the filing date of the following prior foreign application is hereby requested for the above-identified application, and the priority provided in 35 U.S.C. 119 is hereby claimed:

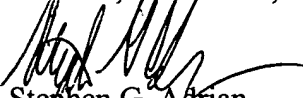
Japanese Appln. No. 2003-348796, filed on October 7, 2003

In support of this claim, the requisite certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the applicants have complied with the requirements of 35 U.S.C. 119 and that the Patent and Trademark Office kindly acknowledge receipt of said certified copy.

In the event that any fees are due in connection with this paper, please charge our Deposit Account No. 50-2866.

Respectfully submitted,
WESTERMAN, HATTORI, DANIELS & ADRIAN, LLP


Stephen G. Adrian
Reg. No. 32,878

1250 Connecticut Avenue, N.W., Suite 700
Washington, D.C. 20036
Tel: (202) 822-1100
Fax: (202) 822-1111
SGA/yap

PATENT OFFICE
JAPANESE GOVERNMENT

This is to certify that the annexed is a true copy
of the following application as filed with this office.

Date of Application: October 7, 2003

Application Number: No. 2003-348796
[ST.10/C]: [JP 2003-348796]

Applicant(s): FUJITSU LIMITED

December 22, 2003

Commissioner,
Patent Office Yasuo Imai (Seal)

Certificate No. 2003-3106407

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年10月 7日
Date of Application:

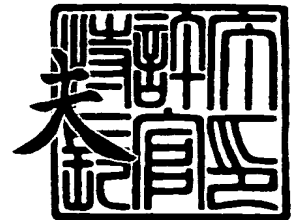
出願番号 特願2003-348796
Application Number:
[ST. 10/C]: [JP 2003-348796]

出願人 富士通株式会社
Applicant(s):

2003年12月22日

特許庁長官
Commissioner,
Japan Patent Office

今井 康



出証番号 出証特2003-3106407

【書類名】 特許願
【整理番号】 0340780
【提出日】 平成15年10月 7日
【あて先】 特許庁長官 今井 康夫 殿
【国際特許分類】 H01L 21/66
H01L 21/68
H01L 23/32

【発明者】
【住所又は居所】 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社
内
【氏名】 田代 一宏

【発明者】
【住所又は居所】 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社
内
【氏名】 福田 恵介

【発明者】
【住所又は居所】 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社
内
【氏名】 小橋 直人

【発明者】
【住所又は居所】 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社
内
【氏名】 丸山 茂幸

【特許出願人】
【識別番号】 000005223
【氏名又は名称】 富士通株式会社

【代理人】
【識別番号】 100070150
【住所又は居所】 東京都渋谷区恵比寿 4 丁目 2 0 番 3 号 恵比寿ガーデンプレイス
タワー 3 2 階

【弁理士】
【氏名又は名称】 伊東 忠彦
【電話番号】 03-5424-2511

【手数料の表示】
【予納台帳番号】 002989
【納付金額】 21,000円

【提出物件の目録】
【物件名】 特許請求の範囲 1
【物件名】 明細書 1
【物件名】 図面 1
【物件名】 要約書 1
【包括委任状番号】 0114942

【書類名】 特許請求の範囲**【請求項 1】**

1 または複数の素子が搭載された半導体装置上に、着脱可能な保護用部材を装着することにより前記半導体装置を保護することを特徴とする半導体装置の保護方法。

【請求項 2】

半導体装置が製造された後から該半導体装置を出荷するまでに実施される各種処理において、該半導体装置を保護する半導体装置の保護方法であって、

該半導体装置に保護用部材を装着した状態で前記各種処理を実施することを特徴とする半導体装置の保護方法。

【請求項 3】

半導体装置に着脱可能な半導体装置用カバーを装着し、

該半導体装置用カバーを介して上方より該半導体装置を IC コンタクトに押圧して試験することを特徴とする半導体装置の試験方法。

【請求項 4】

半導体装置に装着される半導体装置用カバーにおいて、

該半導体装置用カバー上面は平らな平面となっており、

該半導体装置用カバー下面には、前記半導体装置の基板部に接する凸部と、前記半導体装置に実装された部品に接しない形状の凹部とを備えることを特徴とする半導体装置用カバー。

【請求項 5】

請求項 4 記載の半導体装置用カバーにおいて、

前記半導体装置用保護カバー前記半導体装置に簡単に着脱できる構造としたことを特徴とする半導体装置用保護カバー。

【請求項 6】

半導体装置に装着される半導体装置用カバーにおいて、

該半導体装置用カバー上面は平らな平面となっており、

該半導体装置用カバー下面は、前記半導体装置の基板部と前記半導体装置に実装された部品とに接し、

弾性変形する弾性材からなることを特徴とする半導体装置用カバー。

【請求項 7】

半導体装置と、

請求項 4 乃至 6 のいずれか 1 項に記載された半導体装置用カバーとを有することを特徴とする半導体装置ユニット。

【請求項 8】

請求項 7 記載の半導体装置ユニットにおいて、

前記半導体装置に第 1 の位置決め部を設けると共に前記半導体装置用カバーに第 2 の位置決め部を設け、

前記第 1 の位置決め部と前記第 2 の位置決め部が係合することにより、前記半導体装置と前記半導体装置用カバーとの位置決めを行なう構成としたことを特徴とする半導体装置ユニット。

【請求項 9】

一対のトレイ半体により構成されるトレイ内に、半導体装置を装着し梱包する半導体装置の梱包構造において、

前記トレイ半体と前記半導体装置の表面との間に、請求項 4 乃至 6 のいずれか 1 項に記載された半導体装置用カバーを配設したことを特徴とする半導体装置の梱包構造。

【請求項 10】

エンボステープ上に半導体装置を貼着し梱包する半導体装置の梱包構造において、

前記半導体装置の表面に、請求項 4 乃至 6 のいずれか 1 項に記載された半導体装置用カバーを配設したことを特徴とする半導体装置の梱包構造。

【書類名】明細書

【発明の名称】半導体装置の保護方法及び半導体装置用カバー及び半導体装置ユニット及び半導体装置の梱包構造

【技術分野】**【0 0 0 1】**

本発明は、半導体装置を容易に搬送し、試験し、或いは包装・出荷するための半導体装置ユニット構成、半導体装置の梱包構造及び半導体装置の保護方法、及びこれらを実施するための半導体装置用カバーに関する。

【0 0 0 2】

近年、携帯端末、携帯電話、デジタルカメラ等の携帯機器を主たる対象として、軽量化・小型化のために、半導体装置に於いても軽量化、小型化に対して強い要求がある。

【0 0 0 3】

この要求に応えるために、パッケージサイズがより小形化され、半導体素子（チップ）の大きさにより近いチップサイズパッケージ（C S P : Chip Size Package）と呼ばれるパッケージ形態の半導体装置の需要が急増している。

【0 0 0 4】

C S P の代表例として、F B G A（Fine-pitch Ball Grid Array）、F L G A（Fine-pitch Land Grid Array）などが揚げられる。

【0 0 0 5】

当該C S P に於いては、より複数の半導体チップを搭載させるために、パッケージスタックドM C P（Package Stacked Multi Chip Package）という半導体チップを積層・実装した形態を採ることがある。

【0 0 0 6】

また、C P U（Central Processing Unit）を構成する半導体装置に於いては、その高速動作に基づく消費電力の増加により、動作時の温度上昇が大きくなってきているため、半導体装置の上面に、高熱伝導性金属製のヒートスプレッダ（Heat spreader）を配設し冷却することが行なわれている。

【背景技術】**【0 0 0 7】**

この種の半導体装置にあっては、前述の如く、適用される電子機器の小型化・軽量化のために、より軽量化並びに薄型化が必要とされており、搭載された配線基板（インターポーザ）上にカバー・蓋が配設されない場合が多い。

【0 0 0 8】

また、高発熱・高消費電力の半導体装置の場合、内设される半導体チップは高温となるため、実装後にこの半導体チップ上面を直接冷却する必要が生じる。半導体チップを直接冷却する方法としては、例えば特許文献 1 に開示されるように高熱伝導性金属製のヒートシンクを付けて冷却することが考えられるが、更に効率的な冷却方法として、液冷装置により半導体チップの表面を直接冷却する方法を取る場合がある。

【0 0 0 9】

この場合、直接半導体チップの表面を露出させる必要があるために、半導体装置の上面には金属製のリッド、ヒートスプレッダを取り付けない。このため、半導体チップや液状封止樹脂及びキャパシタンス等の電子部品が露出した状態となる。

【0 0 1 0】

また、半導体装置の上に更に半導体装置を積層実装したパッケージスタックドM C P においては、被積層半導体装置、つまり下側の半導体装置については、半導体チップや液状封止樹脂が露出している。また、被積層半導体装置の上面には、積層半導体装置（つまり上側の半導体装置）を接合するためのはんだボール等が突出した状態となる。

【0 0 1 1】

また、フリップチップ実装等のフェイスダウンで実装される半導体装置においては、半導体装置の取り付け高さを抑えるために、樹脂封止を行わないことが通常であり、この

場合にも、半導体装置の上面は、チップが露出した状態となる。

【特許文献 1】特開平 8 - 8 8 2 9 9 号公報 (第 4 - 5 頁、第 2 図)

【発明の開示】

【発明が解決しようとする課題】

【0 0 1 2】

このような、上面に半導体チップや電子部品、その他が露出している半導体装置に於いては、特性試験、搬送、出荷包装の際には、これらの搭載部品への接触等のダメージを考慮する必要がある。

特に、特性試験においては、コンタクタ、ソケットへの押し付け時に半導体チップのみを面押しした場合、この半導体チップに割れ、欠けが発生する可能性がある。

【0 0 1 3】

また、複数の半導体チップを同時に面押しする場合には、半導体チップの高さのバラツキやチップ搭載位置の偏りにより、均一に荷重が加わらない可能性（即ち、偏荷重が発生する可能性）がある。

【0 0 1 4】

この偏荷重が発生した場合には、半導体装置の外部接続端子が試験装置の端子部に接続されない状態が生じ、試験の信頼性が大きく低下してしまう。

【0 0 1 5】

また、包装・出荷時に於いて偏荷重が発生した場合には、運搬中における外力印加等により半導体装置に損傷が発生する恐れがある。

【0 0 1 6】

更に、半導体チップを樹脂金型による樹脂封止ではなく、液状封止樹脂を使って封止（いわゆるポッティング）した場合には、半導体装置の上面が波打って平面度が出ないため、特性試験時に半導体装置の上面を均一に面押しすることが非常に困難である。

【0 0 1 7】

よって、この場合にも偏荷重が発生し、特性試験時及び出荷後の運搬時の信頼性が大きく低下してしまう。

【0 0 1 8】

本発明は上記の点に鑑みてなされたものであり、試験の信頼性を高めると共に、包装・出荷時に於ける半導体装置の損傷を確実に防止し得る半導体装置の保護方法、半導体装置ユニット及び半導体装置の梱包構造、及びこれらに適用する半導体装置カバーを提供することを目的とする。

【課題を解決するための手段】

【0 0 1 9】

上記の課題を解決するために本発明では、次に述べる各手段を講じたことを特徴とするものである。

【0 0 2 0】

請求項 1 記載の発明に係る半導体装置の保護方法は、

1 または複数の素子が搭載された半導体装置上に、着脱可能な保護用部材を装着することにより前記半導体装置を保護することを特徴とするものである。

【0 0 2 1】

上記発明によれば、半導体装置保護用部材により半導体装置は保護されるため、半導体装置に対し試験を行なう場合には、半導体装置保護用部材により試験の信頼性を高めることができる。また、半導体装置を出荷包装する際には、半導体装置保護用部材により半導体装置が損傷するのを確実に防止することができる。更に、半導体装置用カバーは半導体装置に対して着脱可能な構成とされているため、不要時は半導体装置用カバーを容易に取り外すことができる。

【0 0 2 2】

また、請求項 2 記載の発明は、

半導体装置が製造された後から該半導体装置を出荷するまでに実施される各種処理にお

いて、該半導体装置を保護する半導体装置の保護方法であって、

該半導体装置に保護用部材を装着した状態で前記各種処理を実施することを特徴とするものである。

【 0 0 2 3 】

上記発明によれば、半導体装置用カバーを半導体装置に装着し保護した後に、半導体装置に対して各種処理を実施するため、各種処理中及び各処理を実施するための搬送中において半導体装置が損傷することを防止することができる。

【 0 0 2 4 】

また上記発明において、吸着チャックを用いて前記半導体装置を吸着しこれを搬送する処理で、前記半導体装置用カバーに吸着孔を形成し、前記吸着チャックが前記半導体装置用カバーを介して前記半導体装置を吸着する方法を採ることができる。

【 0 0 2 5 】

この構成とした場合には、半導体装置に半導体装置用カバーを装着していても、半導体装置用カバーに形成された吸引孔を介して半導体装置を吸着することができる。

【 0 0 2 6 】

また、請求項 3 記載の発明に係る半導体装置の試験方法は、半導体装置に着脱可能な半導体装置用カバーを装着し、該半導体装置用カバーを介して上方より該半導体装置を I C コンタクタに押圧して試験することを特徴とするものである。

【 0 0 2 7 】

上記発明によれば、半導体装置の表面の高さバラツキに拘わらず均一な面押しを行なうことが可能となり、信頼性の高い試験を行なうことができる。

【 0 0 2 8 】

請求項 4 記載の発明は、半導体装置に装着される半導体装置用カバーにおいて、該半導体装置用カバー上面は平らな平面となっており、該半導体装置用カバー下面には、前記半導体装置の基板部に接する凸部と、前記半導体装置に実装された部品に接しない形状の凹部とを備えることを特徴とするものである。

【 0 0 2 9 】

また、請求項 5 記載の発明は、請求項 4 記載の半導体装置用カバーにおいて、前記半導体装置用保護カバー前記半導体装置に簡単に着脱できる構造としたことを特徴とするものである。

【 0 0 3 0 】

また上記発明において、前記凸部及び前記基部を前記半導体装置の表面の硬度に対して高い硬度を有する材料で形成することができる。

【 0 0 3 1 】

この構成とした場合には、半導体装置用カバーの硬度が高いため、半導体装置を確実に保護することができる。

【 0 0 3 2 】

また上記発明において、前記凸部及び前記基部を前記半導体装置の表面の硬度に対して低い硬度を有する材料で形成することができる。

【 0 0 3 3 】

この構成とした場合には、半導体装置用カバーの硬度が低いため、凸部が接触する半導体装置の接触可能位置に傷等が発生することを防止できる。

【 0 0 3 4 】

また上記発明において、前記凸部及び前記基部を、弾性材料で形成することができる。

【 0 0 3 5 】

この構成とした場合には、大きな外力が印加されてもこの外力は半導体装置用カバーが弾性変形することにより吸収され、よって半導体装置を確実に保護することができる。

【0036】

また、請求項6記載の発明は、
半導体装置に装着される半導体装置用カバーにおいて、
該半導体装置用カバー上面は平らな平面となっており、
該半導体装置用カバー下面は、前記半導体装置の基板部と前記半導体装置に実装された部品とに接し、
弾性変形する弾性材からなることを特徴とするものである。

【0037】

また上記発明において、前記凸部及び前記基部に導電性を持たした構成とすることができる。

【0038】

この構成とした場合には、半導体装置用カバーを構成する凸部及び基部が導電性材料で形成されているため、半導体装置用カバーの装着時に半導体装置との間で静電気が発生したとしても、この静電気により半導体装置が静電気破壊することを防止することができる。

【0039】

また上記発明において、装着状態で前記半導体装置に係止される係止部を設けた構成としてもよい。

【0040】

この構成とした場合には、装着状態において半導体装置用カバーは係止部により半導体装置に係止されるため、半導体装置用カバーが半導体装置から離脱してしまうことを防止できる。

【0041】

また上記発明において、基部の外形を、装着される前記半導体装置の外形に拘わらず既定の外形形状とした構成としてもよい。

【0042】

この構成とした場合には、半導体装置の外形が大小種々存在しても、これを半導体装置用カバーに装着した状態では外形が一定となるため、これの搬送及び試験に用いる各種装置を大小個々の半導体装置により変更する必要はなくなり、前記各種装置の統一化を図ることができる。

【0043】

また、請求項7記載の発明に係る半導体装置ユニットは、
半導体装置と、
請求項4乃至6のいずれか1項に記載された半導体装置用カバーとを有することを特徴とするものである。

【0044】

上記発明によれば、半導体装置の表面は半導体装置用カバーにより保護されるため、半導体装置の表面に配設された物を保護することができる。

【0045】

また、請求項8記載の発明は、
請求項7記載の半導体装置ユニットにおいて、
前記半導体装置に第1の位置決め部を設けると共に前記半導体装置用カバーに第2の位置決め部を設け、
前記第1の位置決め部と前記第2の位置決め部が係合することにより、前記半導体装置と前記半導体装置用カバーとの位置決めを行なう構成としたことを特徴とするものである。

【0046】

上記発明によれば、半導体装置に設けられた第1の位置決め部と、半導体装置用カバーに設けられた第2の位置決め部とが係合することにより半導体装置と半導体装置用カバーとの位置決めが行なわれるため、半導体装置と半導体装置用カバーの位置決め処理を容易

かつ確実に行なうことができる。

【0047】

また上記発明において、前記第1の位置決め部を突起部により形成すると共に、前記第2の位置決め部を該突起部と係合する凹部とにより構成することができる。

【0048】

この構成とした場合には、第1及び第2の位置決め部を簡単に形成することができる。

【0049】

また上記発明において、前記突起部に、前記凹部の相対的な挿入を案内する傾斜面を形成してもよい。

【0050】

この構成とした場合には、係合時において傾斜面に案内されて突起部と凹部とが係合するため、この係合処理を容易に行なうことができる。

【0051】

また上記発明において、前記第1の位置決め部を前記半導体装置の外周縁とすると共に、前記第2の位置決め部を該外周縁と係合する係合壁とにより構成することができる。

【0052】

この構成とした場合には、第1の位置決め部を半導体装置の外周縁としてするため、半導体装置に特に位置決めのための構成を設ける必要はなく、よって位置決めのための構成を簡単化することができる。

【0053】

また上記発明において、前記係合壁に前記外周縁との係合を案内する傾斜面を形成した構成としてもよい。

【0054】

この構成とした場合には、係合時において係合壁は傾斜面に案内されて外周縁に係合するため、この係合処理を容易に行なうことができる。

【0055】

また上記発明において、前記第1の位置決め部及び前記第2の位置決め部を認識マークにより構成してもよい。

【0056】

この構成とした場合には、第1及び第2の位置決め部である認識マークを一致させることにより半導体装置と半導体装置用カバーの位置決めを行なうことができる。

【0057】

また、請求項9記載の発明は、

一対のトレイ半体により構成されるトレイ内に、半導体装置を装着し梱包する半導体装置の梱包構造において、

前記トレイ半体と前記半導体装置の表面との間に、請求項4乃至6のいずれか1項に記載された半導体装置用カバーを配設したことを特徴とするものである。

【0058】

上記発明によれば、一対のトレイ半体によりなるトレイ内に半導体装置を梱包した際、半導体装置はトレイ半体と半導体装置の表面との間に配設された半導体装置用カバーにより保護されるため、梱包後の運搬時において半導体装置が損傷することを防止することができる。

【0059】

また、請求項10記載の発明は、

エンボステープ上に半導体装置を貼着し梱包する半導体装置の梱包構造において、

前記半導体装置の表面に、請求項4乃至6のいずれか1項に記載された半導体装置用カバーを配設したことを特徴とするものである。

【0060】

上記発明によれば、エンボステープ上に半導体装置を梱包した際、半導体装置は表面に配設された半導体装置用カバーにより保護されるため、梱包後の運搬時において半導体装

置が損傷することを防止することができる。

【発明の効果】

【0061】

本発明によれば、半導体装置保護用部材の適用によって、半導体装置の上面に一様な高さを設定することができかつ当該半導体装置が保護されるため、半導体装置に対し試験を行なう際、試験の信頼性を高めることができる。

【0062】

また、半導体装置保護用部材の適用によって、半導体装置を搬送、或いは包装・出荷する際、当該半導体装置が損傷するのを防止することができる。

【発明を実施するための最良の形態】

【0063】

次に、本発明を実施するための最良の形態について、図面と共に説明する。

【0064】

本発明の基本原理を図1に示す。同図は、本発明に係る半導体装置の製造・処理工程を示している。

【0065】

本発明にあつては、組み立て処理（ステップ1。図ではステップをSと略称している）工程に於いて製造された半導体装置11Aが、搬送処理（ステップ3）、試験処理（ステップ4）、搬送処理（ステップ5）、梱包処理（ステップ6）、及び出荷処理（ステップ7）を経て製造工場から出荷されるそれぞれの処理過程を対象としている。

【0066】

前記半導体装置11Aは、配線基板（以下インターポーザと称す）の上面に、単数或いは複数の半導体チップ14が、必要とすれば容量素子などと共に搭載されたいわゆるMCM(Multi Chip Module)型の半導体装置である。

【0067】

この種の半導体装置11Aにあつては、前述の如く、適用される電子機器の小型化・軽量化のためにより軽量化並びに薄型化が必要とされており、従つて前記インターポーザ上にカバー・蓋が配設されない場合が多い。

【0068】

従つて、半導体チップ14或いは他の電子部品はインターポーザ上に於いて露出しており、上記搬送処理（ステップ3、5）、試験処理（ステップ4）、梱包処理（ステップ6）、或いは出荷処理（ステップ7）の際には、露出した半導体チップ14などへのダメージを防止する必要がある。

【0069】

本発明にあつては、図1に示した組み立て工程（ステップ1）後のステップ2に於いて、当該半導体装置11Aを覆つて、ICカバー10A（半導体装置保護用部材）を装着する。そしてこれ以降の処理工程・段階に於いては、半導体装置11Aに係るICカバー10A（半導体装置保護用部材）によって保護される。従つて、当該半導体装置11Aに対する試験処理（ステップ4）に於いては、半導体装置11Aが損傷するのを防止し、かつ当該半導体装置11Aの試験装置への接触を確実なものとして、試験の信頼性を高めることができる。

【0070】

また、搬送処理（ステップ3、5）に於いても、半導体装置11Aは、ICカバー10Aにより保護され、その損傷を防止することができる。更に、当該半導体装置11Aを包装・出荷する各処理（ステップ6、7）に於いても、半導体装置11Aは、ICカバー10Aにより保護され、その損傷を防止することができる。尚、ICカバー10Aは半導体装置11Aに対して着脱可能な構成とされ、不要時はICカバー10Aを容易に取り外し可能とされる。

【0071】

以下、本発明の実施例について詳述する。

【0072】

前述の如く、図1に示す製造・処理段階では、ステップ1で半導体装置11Aが製造された後、これに続くステップ2に於いて半導体装置11Aに対しICカバー10Aを装着する。従って、半導体装置11AにICカバー10Aが装着された状態で、その後の搬送処理（ステップ3, 5）、試験処理（ステップ4）、梱包処理（ステップ6）及び出荷処理（ステップ7）が実施される。

【0073】

本実施例ではステップ3～7を実施する前にステップ2のカバー装着処理を行なう構成としているが、ICカバー10Aを半導体装置11Aに装着するタイミングは本実施例に限定されるものではなく、半導体装置11Aに対する保護の必要性等に応じて各ステップ間（例えば、ステップ3とステップ4との間等）に装着処理を実施することとしてもよい。しかしながら、本実施例のように半導体装置11Aが製造された直後にICカバー10Aを半導体装置11Aに装着することが、ステップ3～7の各種処理において半導体装置11Aが損傷することを確実に防止することができるため望ましい。

【0074】

各工程で実施される処理について、図面を用いて詳細に説明する。

【0075】

図2（A）、（B）は、前記ステップ2に於ける半導体装置11Aへのカバー装着処理を示し、図2（C）～（E）は前記ステップ3, 5に於ける搬送処理を示している。この搬送処理は、当該半導体装置11Aを試験装置或いは梱包・出荷処理部に移動させるものである。

【0076】

ステップ2のカバー装着処理では、図2（A）に示すようにICカバー10Aと、半導体装置11Aを準備し、図2（B）に示すようにICカバー10Aを半導体装置11Aに装着する。これにより、半導体装置ユニット12Aが構成される。後述するように、本実施例では半導体装置11AをICカバー10Aと共に真空（減圧）吸引法によりクランプして搬送するため、ICカバー10Aの所定位置には吸引孔38が設けられている。

【0077】

半導体装置11AにICカバー10Aが装着されてなる半導体装置ユニット12Aを、移動・搬送処理する手段としては、図2（C）に示される搬送用吸着ヘッド40が用いられる。この吸着ヘッド40は3次元的に動作可能なロボットアーム（図示せず）に取り付けられ、3次元的に移動可能とされている。当該吸着ヘッド40は吸引ノズル41（図2（E）参照）を有し、吸引ノズル41は図示されない真空ポンプに接続されている。

【0078】

搬送処理する際には、吸着ヘッド40は、図2（C）に示すように、半導体装置ユニット12Aの上部位置まで移動する。

【0079】

続いて加圧ヘッド40は、図2（D）に示すように半導体装置ユニット12AのICカバー10Aの上面に当接する。この状態において真空ポンプを動作させ、吸引ノズル41及びICカバー10Aの吸引孔38を介して半導体装置11Aを吸引する。これにより、半導体装置ユニット12Aは加圧ヘッド40に吸引装着された状態で搬送可能状態とされる。

【0080】

この時、吸着ヘッド40は半導体装置ユニット12Aの上面に当接するため、半導体装置ユニット12Aには当接力（外力）が印加されるが、半導体装置11AはICカバー10Aにより保護されているため、係る当接力が半導体チップ14などに印加されることはない。従って、搬送工程（ステップ3, 5）においても、半導体装置11Aは確実に保護される。

【0081】

次に、試験処理について説明する。

【0082】

図3乃至図6は、図1に於ける試験処理（ステップ4）を示す。係る試験処理は、半導体装置11Aに対して、特性試験或いはバーイン試験などを行なうものである。当該半導体装置11Aに対する試験は、図3及び図4に示すようなコンタクタ45Aを用いて実施される。

【0083】

同図に於いて、コンタクタ45Aは、その上部に被試験半導体装置11Aが装着される装着部47を具備する。当該装着部47には、半導体装置11Aのインターポーザ13の他方の主面に配設されて外部接続用端子を構成するはんだボール15に対応して、複数のプローブピン48（図4参照）が配設されている。各プローブピン48は、図示されないテスターに電氣的に接続されている。よって、半導体装置11Aはコンタクタ45Aに装着されることによりテスターに接続され、特性試験など各種試験が実施される。

【0084】

この試験処理では、先ず吸着ヘッド40により半導体装置ユニット12Aがコンタクタ45Aの上部まで搬送される。続いて、吸着ヘッド40が下動することにより、被試験半導体装置11A（半導体装置ユニット12A）はコンタクタ45の装着部47に装着される。

【0085】

この時、単に装着部47上に半導体装置11Aを載置しただけでは、プローブピン48とはんだボール15との確実な電氣的接続が行われ難い。このため、半導体装置11Aを装着部47に押圧することが必要とされる。

【0086】

この押圧処理は、ソケット自体に蓋体が設けられていないコンタクタ45A（図3、図4参照）に於いては、吸着ヘッド40自体を更に下降させるか、図示しない他の押圧手段を用いて、半導体装置ユニット12Aをコンタクタ45Aへ押圧することにより行われる。また、蓋体51を有するコンタクタ45B（図6参照）では、当該蓋体51を閉蓋することにより押圧する。即ち、本発明にあっては、係る押圧処理に際し、半導体装置11Aを直接押圧するのではなく、当該半導体装置11Aに装着されたICカバー10Aを介して押圧処理を行なう。

【0087】

即ち、半導体装置11Aの表面が半導体チップ14の存在により凹凸を有した形状であっても、半導体装置11Aに装着されるICカバー10Aの上面が平面形状であることから、半導体装置11Aをコンタクタ45A、45Bに向け面押しする際、半導体装置11Aの表面の高さバラツキに拘わらず均一な面押しが行なわれる。これにより、従来技術に於いて生じていた、半導体チップの高さバラツキ或いはチップ搭載位置の偏りによって均一荷重が加わらない可能性（即ち、偏荷重が発生する可能性）は生じない。

【0088】

従って、半導体装置11Aの外部接続端子を構成するはんだボール15のそれぞれは、試験装置のプローブピン48に良好に接続され、高い信頼性をもって試験を行なうことができる。半導体チップが液状封止樹脂を使って封止（いわゆるポッティング）された形態であっても、同様の効果が発揮される。

【0089】

尚、上記の試験処理では、半導体装置11Aに予めICカバー10Aを装着した半導体装置ユニット12Aの状態で行なう試験について説明した。しかしながら、図5（A）に示すように、先ずコンタクタ45Aに対して半導体装置11Aを装着しておき、その後図5（B）に示すようにICカバー10Jを半導体装置11Aに装着し、係る状態で押圧処理を行なうこともできる。この場合には、ICカバー10Jが半導体装置11Aに対し高精度に位置決めされて装着されるよう、コンタクタ45Aにガイド部50を設けることが望ましい。

【0090】

次いで、梱包処理（ステップ6）及び出荷処理（ステップ7）について説明する。

【0091】

トレイ55を用いて半導体装置11Aを梱包する処理を図7に示す。半導体装置11Aは、上部トレイ半体56と下部トレイ半体57との間に收容されることにより梱包される。即ち、上部トレイ半体56及び下部トレイ半体57には、溝状の収納部58がそれぞれ形成されており、この対応する収納部58により形成される内部空間に半導体装置11Aは收容される。

【0092】

尚、上部トレイ半体56と下部トレイ半体57は同一構成であるが、説明の便宜上、図7では上部に位置するトレイ半体を上部トレイ半体56とし、下部に位置するトレイ半体を下部トレイ半体57としている。また、半導体装置11Aを保護し得る上下一対のトレイ半体56、57をまとめてトレイ55としている。

【0093】

上記の如く、半導体装置11Aは、上下一対のトレイ半体56、57間に收容されることにより梱包されるが、本発明にあっては、係る收容・梱包の際にも、半導体装置11A上であって、上部トレイ半体56との間に、ICカバー10Aが配設される。このように、当該トレイ55に收容される際にも、半導体装置11A上であって、上部トレイ半体56との間にICカバー10Aを配設し、かつ上部トレイ半体56及び下部トレイ半体57により合成される収納部の高さ（深さ）を当該半導体装置11A上にICカバー10Aを配置した際の高さに対応させることにより、半導体装置11Aは収納部58内に確実に梱包され、収納部58内で移動を生じる恐れは無い。

【0094】

係る出荷包装時において偏荷重が生じた場合、即ちステップ7に示す出荷後の運搬時に、運搬に伴う振動等がトレイ55に加えられても、この振動はICカバー10Aに受容され、当該半導体装置11Aが損傷を受けることは防止される。

【0095】

次いで、帯状包装部材を用いて半導体装置11Aを梱包する処理を図8に示す。

【0096】

半導体装置11Aは、帯状のエンボステープ60に形成された凹状収納部（エンボス）62に收容され、カバーテープ63により当該収納部62が被覆されることにより梱包される。当該エンボステープ60はリール61に巻回される帯状のテープであり、このエンボステープ60にはその長さ方向に連続して複数の収納部62が設けられている。半導体装置11Aは、この収納部62の内に收容され、当該収納部62がカバーテープ63により被覆されることによって梱包される。係るエンボステープ60は巻回されて出荷される。

【0097】

本発明にあっては、係る帯状包装部材を用いた梱包の際にも、前記収納部62に收容される半導体装置11Aのそれぞれの上にICカバー10Aを配設する。このように、半導体装置11A上にICカバー10Aを配設することにより、リール61に巻回される際に当該半導体装置11Aに圧力が印加されても、この圧力はICカバー10Aにより受容され半導体装置11Aに印加される恐れが無い。

【0098】

係る出荷包装時において偏荷重が生じた場合、即ちステップ7に示す出荷後の運搬時に、運搬に伴う振動等がエンボステープ60に加えられても、この振動はICカバー10Aに受容され、当該半導体装置11Aが損傷を受けることは防止される。

【0099】

上記実施例の説明に於いて用いた半導体装置用カバー10A（以下、ICカバー10Aという）を図9に示す。図10はこのICカバー10Aを用いた半導体装置ユニット12Aを示している。各図において（B）は（A）におけるX-X線に沿う断面を示す（図14、図15、図16、及び図17についても同様）。

【0100】

本発明に係る IC カバー 10A が装着される半導体装置 11A は、前述の如く、MCM (Multi Chip Module) タイプの半導体装置である。係る半導体装置 11A は、大略するとインターポーザ 13、半導体チップ 14、及びはんだボール 15 により構成されている。

【0101】

係る構成に於いて、インターポーザ 13 は、例えばポリイミドなどからなる絶縁基板とその表面に形成された配線層が必要に応じて多層化された配線基板であって、その表面 13A には単一或いは複数（本実施例では 4 個）の半導体チップ 14、更には必要に応じてチップコンデンサ、チップ抵抗などの電子部品（図示せず）が搭載されて構成される。

【0102】

ここで半導体チップ 14 は、いわゆるベア・チップであって、フリップチップ（フェイスダウン）実装法によりインターポーザ 13 に搭載・固着される。半導体チップ 14 が複数個搭載される場合、多くはそれぞれ異なる種類のチップ（例えばメモリチップ、ロジックチップなど）であり、この為、各半導体装置 11A の高さはインターポーザ 13 の表面 13A からの高さも夫々異なる。

【0103】

一方、インターポーザ 13 の表面 13A 上に於いて、半導体チップ 14 及び他の電子部品が搭載されない平面部分は、接触可能領域 16 とされる。この接触可能領域 16 は、後述する IC カバー 10A の凸部 21 が接触しても半導体装置 11A などに不都合が発生しない領域である。

【0104】

半導体チップ 14 などが配置されていない領域であっても、凸部 21 が接触するのが望ましくない領域（例えば、表面 13A に高密度に配線が形成されているような領域）は、接触可能領域 16 とされない。本実施例では、表面 13A 上において半導体チップ 14 が搭載されていない平面部分は、全て接触可能領域 16 とされている例を示している。

【0105】

更に、インターポーザ 13 の裏面には、複数のはんだボール 15 が配設されている。このはんだボール 15 は、当該半導体装置 11A の外部接続端子として機能するものであって、インターポーザ 13 の内層配線を介して半導体チップ 14 に電氣的に接続されている。このような構成を有する半導体装置 11A は、周知の半導体製造技術を用いて組み立てられる（図 1 におけるステップ 1）。

【0106】

本発明に係る IC カバー 10A は、この組み立てられた半導体装置 11A に装着されるものである。以下、前記半導体装置 11A に装着される IC カバー 10A の構成について詳述する。

【0107】

当該 IC カバー 10A は、例えばポリエーテルサルファイド（PES）或いはポリエーテルイミド（PEI）等の樹脂にガラス材を添加した材料により形成される。そして、当該 IC カバー 10A は、図 9（A）、（B）に示されるように、基本的に基部 20A と凸部 21 とが一体的に構成されている。

【0108】

基部 20A は平板状を有し、その平面外形形状・寸法は適用される半導体装置 11A のインターポーザ表面 13A の外形形状・寸法とほぼ等しく設定され、またその上面（以下、カバー表面 23 という）は、凹凸の無い平面状とされる。

【0109】

また、当該基部 20A の他方の主面（図示される状態では下面）には、半導体装置 11A に搭載される半導体チップ 14 及び他の電子部品の数、寸法、及び搭載位置に対応して凹部が配設されている。当該凹部はそれぞれ半導体チップ 14 或いは他の電子部品の収容部 22A を構成する。当該凹部の周囲に於ける基部 20A は、相対的に凸部 21 を構成し、当該 IC カバー 10A が半導体装置 11A に装着される際には、半導体装置 11A のイ

インターポーザ 13 表面への接触部を構成する。

【0110】

係る構成に於いて、前記凹部の深さは、収容される半導体チップ 14 の厚さ＝実装後の高さよりも深く設定され、半導体チップ上に空間（隙間）が設定される。当該空間（隙間）は半導体装置の搬送・試験などの際に、基部 20A が当該半導体チップ 14 に接触することを防止する。勿論、チップコンデンサ、チップ抵抗などの電子部品が搭載される場合には、これらの電子部品に対応して凹部が配設され、かつその深さは実装後の高さよりも深く設定される。より微細な電子部品であれば、複数の電子部品を共通に収容することが可能な凹部とされても良い。

【0111】

係る IC カバー 10A は、図 9 に示されるように、IC カバー 10A の凸部 21 と、半導体装置 11A のインターポーザ 13 に於ける接触可能領域 16 とが対向するよう位置決めされた後、図 10 に示されるように、半導体装置 11A 上に装着される。この装着状態に於いて、IC カバー 10A の凸部 21 は、半導体装置 11A のインターポーザ 13 の接触可能領域 16 に接触し、もって IC カバー 10A は、半導体装置 11A 上に配設される。

【0112】

この時、図 10（B）に示すように、IC カバー 10A の収納部 22A の内壁と半導体チップ 14 の上面は離間しており、IC カバー 10A に外力が加わった場合にも、半導体チップ 14 へ当該外力が直接加わることが防止される。このように、IC カバー 10A が半導体装置 11A に装着されることにより、半導体装置ユニット 12A が構成される。

【0113】

尚、係る構成にあっては、IC カバー 10A は半導体装置 11A に載置されるだけであって、半導体装置 11A に対して容易に着脱が可能である。

【0114】

係る装着状態に於いて、IC カバー 10A の基部 20A は半導体装置 11A の上を覆って配設される。従って、半導体装置ユニット 12A に上方より外力が印加されても、当該外力は IC カバー 10A によって吸収・緩和され、インターポーザ 13 などに比べて機械的強度の弱い半導体チップ 14 に外力が印加されることが防止され、当該半導体装置 11A は保護される。

【0115】

また、IC カバー 10A の凸部 21 は、インターポーザ 13 の接触可能領域 16 に於いて接触するが、当該接触可能領域 16 は半導体チップ、電子部品、配線などの形成密度の低い領域が選定されている。従って、凸部 21 がインターポーザ 13 に接触しても、当該インターポーザ 13 を含む半導体装置 11A に損傷を招く恐れは無い。

【0116】

上記の如く、IC カバー 10A は半導体装置 11A に対して着脱可能とされている。従って、例えば当該半導体装置 11A の実装処理など、当該半導体装置 11A に対する保護が不要な場合には、当該 IC カバー 10A を半導体装置 11A から容易に取り外すことができる。

【0117】

尚、図 9 乃至図 10 には図示されていないが、図 2 に示した搬送時に吸着ヘッド 40 で IC カバー 10A と半導体装置 11A を一緒に吸着するための吸着孔 38 を IC カバー 10A 中央に適宜設けても良い。

【0118】

また、上記実施例にあっては、IC カバー 10A 及びインターポーザ 13 を、共に硬度が近似した樹脂により構成した。しかしながら、IC カバー 10A を、半導体装置 11A のインターポーザ表面 13A の硬度に対して高い硬度を有する材料をもって形成することも可能である。

【0119】

具体的には、ICカバー10Aを金属、セラミックス、或いはPBI（ポリベンゾイミダゾール：Polybenzimidazole）、PAI（ポリアミドイミド：Polyamide-imide）などの高硬度のエンジニアリングプラスチックから成る材料で形成する。係る構成によれば、ICカバー10Aが高い硬度を有することにより、外力に対する耐性が向上し、より確実に半導体装置11A（半導体チップ14）を保護することができる。

【0120】

一方、ICカバー10Aを、半導体装置11Aのインターポーザ表面13Aの硬度に対して低い硬度を有する材料をもって形成することも可能である。係る構成とした場合には、ICカバー10Aの硬度が低いため、当該ICカバー10Aの装着に、半導体装置11Aのインターポーザ表面13A表面に傷などの発生を防止することができる。

【0121】

尚、前記実施例あつては、半導体装置11A於いてインターポーザ上に搭載される半導体素子14として、ベアチップを示したが、本発明は樹脂封止された半導体素子が搭載される場合についても適用可能することができる。

【0122】

樹脂封止された半導体素子であっても、インターポーザ上に異なる品種のデバイスが搭載された場合には、インターポーザ上に於いて凹凸が生じ、試験工程に於いてプローブピンへの均一な接触が得られない場合がある。

【0123】

本発明によれば、当該樹脂封止された半導体素子を収容する凹部を備えたICカバーを適用することによって、係る問題も解消することができる。また、ベアチップと樹脂封止された半導体素子とが混載される場合にも、インターポーザ上に於いて凹凸が生じて同様の問題が発生するが、本件発明に係るICカバーを適用して解消することができる。

【0124】

そして本発明にあつては、前記図1に示されるように、ステップ2に於いて半導体装置11Aに前記ICカバー10Aが装着された後に、搬送処理（ステップ3、5）、試験処理（ステップ4）、梱包処理（ステップ6）或いは出荷処理（ステップ7）の各処理が実施される。

【0125】

前記本発明に係る半導体装置の保護方法に適用されるICカバー10の、変形例・他の構成について、以下に説明する。

【0126】

ICカバー10の、第1の変形例を図11に示す。同図に示される構造に於いて、前述の図9、図10に示した構成と同一の構成については同一符号を付している。尚、以下図12乃至図26に示す他の構成に於いても同様とする。

【0127】

本実施例に係るICカバー10Bが装着される半導体装置11Bは、インターポーザ13の表面13A上に、1個の半導体チップ14と、複数個の電子部品18（例えば、チップコンデンサ）とが搭載されている。半導体チップ14はインターポーザ13にフリップチップ接続されており、また接続の信頼性を高めるために半導体チップ14とインターポーザ13との間にはアンダーフィル材17が配設されている。アンダーフィル材17は、半導体チップ14の外周位置まで延在している。また、電子部品18は、半導体チップ14に近接して配設され、半導体チップ14を囲むように配設されている。

【0128】

半導体チップ14と電子部品18は、表面13Aに対して異なる高さを有している。よって、本実施例においても半導体装置11Bの表面（表面13A）は、凹凸を有した構成とされている。

【0129】

ここで、ICカバー10Bは、前記実施例と同様に、凸部21と収納部22Bとを有した構成とされている。当該収納部22B内に半導体チップ14及び複数の電子部品18の

全てが収納される。即ち、収納部 22B の形状は、必ずしも半導体チップ 14 或いは電子部品 18 の個々の形状に対応させる必要はなく、半導体チップ 14 及び電子部品 18 のレイアウトに応じて適宜選定することができる。但し、凸部 21 により基部 20A を確実に支持できる位置に選定する必要がある。

【0130】

IC カバーの第 2 の変形例を図 12 に示す。

【0131】

本実施例に係る IC カバー 10C が装着される半導体装置 11C は、インターポーザ 13 の表面 13A 上に、半導体チップ 14 と共にスタック用はんだボール 19 が配設されている。係る半導体装置 11C は、実装時に、当該半導体装置 11C 上に他の半導体装置（図示せず）が積層（スタック）されるものである。このため、インターポーザ 13 の下面にはんだボール 15 が配設されると共に、表面 13A にもスタック用はんだボール 19 が配設されている。

【0132】

このため、当該半導体装置 11C に装着される IC カバー 10C には、半導体チップ 14 の形成位置に対応した収納部 22A が設けられると共に、スタック用はんだボール 19 の配設位置に対応した位置にバンプ収納部 24 が配設される。当該バンプ収納部 24 は、図示されるように個々のはんだボールに対応するものとする他、並設された複数個のはんだボールを一括して収容するよう連続した溝状のものとしても良い。

【0133】

このような IC カバー構造とすることにより、装着状態において、スタック用はんだボール 19 はバンプ収納部 24 内に収納され、外力が印加されても当該スタック用はんだボール 19 に変形などを招来せず、当該半導体装置の保護が行われる。

【0134】

IC カバーの第 3 の変形例を図 13 に示す。

【0135】

図 13 (A), (B) に示すのは、図 9 を用いて説明した実施例に係る IC カバー 10A である。この IC カバー 10A は、半導体装置 11A に対応して当該半導体装置の外形寸法が決定されている。即ち、IC カバー 10A は、半導体装置 11A のインターポーザ 13 の外形寸法とほぼ同一の外形寸法を有して装着される。

【0136】

これに対し、図 13 (C), (D) に示す IC カバー 10D は、この半導体装置 11A よりも外形寸法の小さな半導体装置 11D に対応した構成とされている。尚、図 13 (B) は図 13 (A) の X-X 線に沿う断面図であり、図 13 (D) は図 13 (C) の X-X 線に沿う断面図である。

【0137】

本実施例では、装着される半導体装置 11A, 11D の外形寸法に拘わらず、IC カバー 10A の基部 20A の外形形状と、IC カバー 10D の基部 20G の外形形状とが同一形状・同一寸法に統一されている。尚、本実施例においては、2 種類の半導体装置 11A, 11D について示したが、多種の半導体装置に適用する場合においても、個々の半導体装置に対応して IC カバーの外形形状は同一形状・同一寸法に統一される。

【0138】

本実施例の構成とすることにより、半導体装置の外形寸法に相違があっても、半導体装置用カバーを装着した状態に於いて外形寸法を一定とすることができる。従って、半導体装置に対し搬送処理などを行なう際、半導体装置用カバーを把持してこれを行なうことにより、半導体装置の大小に拘わらず、同一の搬送アームで搬送処理を行なうことができる。もって、半導体装置を処理する設備の統一化を図ることができ、設備コストの低減を図ることができる。

【0139】

尚、図 11 乃至図 13 には図示されていないが、図 2 に示した搬送時に吸着ヘッド 40

で IC カバー 10B, 10C と半導体装置 11B, 11C を一緒に吸着するための吸着孔 38 を IC カバー 10B, 10C の中央に適宜設けても良い。

【0140】

IC カバーの第 4 の変形例を図 14、図 15 に示す。

【0141】

本実施例に係る IC カバー 10G と当該 IC カバー 10G が装着される半導体装置 11A を図 14 に示し、当該 IC カバー 10G が装着された半導体装置ユニット 12B を図 15 に示す。本実施例に係る IC カバー 10G は、収納部 22C がカバー表面 23 に貫通した開口により構成されている。このため、基部 20B は栈状を有した構成を有し、かつ基部 20B と凸部 21 とは一体的な構成とされている。

【0142】

係る構成を有する IC カバー 10G は、図 14 (A), (B) に示すように、IC カバー 10G の収納部 22C と、半導体装置 11A の半導体チップ 14 とが対向するよう位置決めされ、図 15 (A), (B) に示される様に半導体装置 11A に装着される。この時、収納部 22C は IC カバー 10G を上下に貫通した開口であるため、収納部 22C を介して上部から半導体装置 11A に配設された半導体チップ 14 を目視することができる。よって、IC カバー 10G と半導体装置 11A との位置決めを容易かつ精度よく行なうことができる。

【0143】

このように、IC カバー 10G が半導体装置 11A に装着されることにより、半導体装置ユニット 12B が形成される。この装着状態において、IC カバー 10G の凸部 21 は、半導体装置 11A の接触可能領域 16 に接触した構成となっている。

【0144】

この際、本実施例では基部 20B と凸部 21 は一体的な構成であるが、凸部 21 は基部 20B を支持するものであり、基部 20B は外力等が印加された時にこれを受ける部位である。

【0145】

本実施例では、収納部 22C が IC カバー 10G を上下に貫通した開口とされているため、上記した位置決め性の向上に加え、IC カバー 10G の材料コストの低減、軽量化を図ることができる。

【0146】

IC カバーの第 5 の変形例を図 16、図 17 に示す。

【0147】

本実施例に係る IC カバー 10H と当該 IC カバー 10H が装着される半導体装置 11A を図 16 に示し、当該 IC カバー 10H が装着された半導体装置ユニット 12C を図 17 に示す。本実施例に係る IC カバー 10H は、基部 20C の収納部 22D と対向する位置にリブ部 43 を配設したことを特徴とする。

【0148】

当該リブ部 43 を含む基部 20C の上面は、同一平面となるよう構成されている。係る IC カバー 10H は、図 17 (A), (B) に示すように、IC カバー 10H の収納部 22D と、半導体装置 11A の半導体チップ 14 とが対向するよう位置決めされた上で半導体装置 11A に装着される。

【0149】

この時、収納部 22D にリブ部 43 が形成されてはいるが、部分的に開口部が形成された状態であるため、この開口部を介して上部から半導体装置 11A に配設された半導体チップ 14 を目視することができる。よって、本実施例においても、IC カバー 10H と半導体装置 11A との位置決めを容易かつ精度よく行なうことができる。

【0150】

IC カバー 10H が半導体装置 11A に装着されることにより、半導体装置ユニット 12B が形成される。この装着状態において、IC カバー 10H の凸部 21 は、半導体装置

11Aの接触可能領域16に接触する。従って、基部20Cは、凸部21によりインターポザ13上に支持される。

【0151】

また、本実施例にあっては、収納部22Dにリブ部43が形成されているため、前記変形例4に係るICカバー10Gに比べて機械的強度が強い。従って外力印加時における半導体装置11Aの損傷発生を防止することができる。また、前記ICカバー10A~10Fに比較し、材料コストの低減、及び軽量化を図ることができる。

【0152】

次に、本発明に係るICカバーの、半導体装置に対する位置決め手段について、図18乃至図23を参照して説明する。

【0153】

係る図18乃至図23に示すいずれの実施例に於いても、半導体装置ユニット12D~12Jを構成する半導体装置11A, 11E~11Gに第1の位置決め部を設けると共に、半導体装置用カバー10E, 10F, 10I~10Kに第2の位置決め部を設け、この第1の位置決め部と前記第2の位置決め部が係合することにより、半導体装置11A, 11E~11Gと半導体装置用カバー10E, 10F, 10I~10Kとの位置合わせが行なわれる。

【0154】

図18(A)に示される半導体装置ユニット12Dにあっては、半導体装置11Eの選択された隅部に第1の位置決め部となる位置決め凹部(欠部)26を設けると共に、ICカバー10Eに第2の位置決め部となる位置決め片25を配設している。

【0155】

位置決め凹部26はインターポザ13の選択された角部に設けられた切り欠きであり、一方位置決め片25はICカバー10Eの基部20Aの選択された角部において下方に延出する延出片である。

【0156】

この位置決め片25と位置決め凹部26は対応する位置に形成される。従って、位置決め片25と位置決め凹部26とを用いて位置合わせし、ICカバー10Eを半導体装置11Eに装着することにより、ICカバー10Eは半導体装置11Eに対して一義的に位置決めされた状態で装着される。これにより、ICカバー10Eと半導体装置11Eとの位置決め処理を、容易かつ確実にこなうことができる。

【0157】

一方、図18(B)に示す半導体装置ユニット12Eにあっては、半導体装置11Fの選択された隅部に第1の位置決め部となる位置決め用マーク28を配設すると共に、ICカバー10Fに第2の位置決め部となる位置決め用マーク27を形成している。

【0158】

位置決めマーク28はインターポザ13の表面に金属膜等により形成されたマークであり、一方位置決めマーク27はICカバー10Fの基部20Aを貫通する孔により形成されたマークである。

【0159】

この位置決め用マーク27と位置決め用マーク28は対応する位置に形成される。従って、位置決めマーク27と位置決めマーク28とを用いて位置合わせし、ICカバー10Fを半導体装置11Fに装着することにより、ICカバー10Fは半導体装置11Fに対して一義的に位置決めされた状態で装着される。これにより、ICカバー10Fと半導体装置11Fとの位置決め処理を容易かつ確実にこなうことができる。

【0160】

また、図19に示す半導体装置ユニット12Fにあっては、半導体装置11Gに第1の位置決め部となる位置決め突起30を形成すると共に、ICカバー10Iには第2の位置決め部となる位置決め凹部29を形成している。

【0161】

位置決め突起 30 は、インターポーザ 13 に単数或いは複数形成された突起である。当該位置決め突起 30 は、インターポーザ 13 に柱状の部材を植設或いは接着することにより形成するか、或いはインターポーザ 13 の製造時に一体的に形成する事ができる。

【0162】

一方、IC カバー 10 I に於ける位置決め凹部 29 は、基部 20 A の所定位置に形成される。当該位置決め凹部 29 は、IC カバー 10 I の形成時に一体的に形成される。この位置決め凹部 29 と位置決め突起 30 は対応する位置に形成される。

【0163】

従って、当該位置決め凹部 29 と位置決め突起 30 とを位置合わせし、IC カバー 10 I を半導体装置 11 G に装着することにより、IC カバー 10 I は半導体装置 11 G に対して一義的に位置決めされた状態で装着される。これにより、IC カバー 10 I と半導体装置 11 G との位置決め処理を容易かつ確実にこなうことができる。

【0164】

一方、図 20 に示す半導体装置ユニット 12 G にあつては、IC カバー 10 I は前記図 19 に示す IC カバー 10 I と同一の構成を有するが、半導体装置 11 G に設けられる位置決め突起 30 に傾斜面 31 を形成した点において相違している。このように、位置決め突起 30 に傾斜面 31 を設けることにより、IC カバー 10 I を半導体装置 11 G に装着する際、位置決め突起 30 は傾斜面 31 に案内されて位置決め凹部 30 に係合するため、この係合処理を容易に行なうことができる。

【0165】

また、図 21 に示す半導体装置ユニット 12 I にあつては、第 1 の位置決め部として半導体装置 11 A の外周縁を利用すると共に、IC カバー 10 J に第 2 の位置決め部となる係合壁 33 を配設している。

【0166】

係合壁 33 は、基部 20 A の外周縁部位置に於いて下方に向け延出して配設され、インターポーザ 13 の接触可能領域 16 と接触する凸部 21 よりも図中下方に延出する。

【0167】

この凸部 21 よりも図中下方に延出した部分における係合壁 33 の内周壁の形状は、インターポーザ 13 の外周形状と対応するよう形成される。この係合壁 33 は、IC カバー 10 J の形成時に一体的に形成することができる。

【0168】

係合壁 33 の内周壁の形状がインターポーザ 13 の外周縁 32 の形状と対応するため、係合壁 33 の内周壁とインターポーザ 13 (半導体装置 11 A) の外周縁 32 とを位置決めして IC カバー 10 J を半導体装置 11 A に装着することにより、IC カバー 10 J は半導体装置 11 A に対して一義的に位置決めされた状態で装着される。従って、IC カバー 10 J と半導体装置 11 A との位置決め処理を容易かつ確実にこなうことができる。

【0169】

係る構成によれば、第 1 の位置決め部を半導体装置 11 A (インターポーザ 13) の外周縁 32 としているため、半導体装置 11 A に位置決めのための構成を設ける必要が無い。

【0170】

一方、図 22 に示す半導体装置ユニット 12 I にあつては、IC カバー 10 J に設けられた係合壁 33 の内周壁面に傾斜面 34 を配設している。このように、係合壁 33 の内周壁面に傾斜面 34 を設けることにより、IC カバー 10 J を半導体装置 11 A に装着する際、インターポーザ 13 の外周縁 32 と係合壁 33 は傾斜面 34 に案内されて係合壁 33 に係合するため、この係合処理を容易に行なうことができる。

【0171】

尚、図 18 乃至図 22 には図示されていないが、図 2 に示した搬送時に吸着ヘッド 40 で IC カバー 10 E, 10 F, 10 I, 10 J と半導体装置 11 A, 11 E, 11 F, 11 G を一緒に吸着するための吸着孔 38 を IC カバー 10 E, 10 F, 10 I, 10 J の

中央に適宜設けても良い。

【0172】

更に、図23は図21、図22に示した形状とは異なる形状を有するICカバー10Kを用いた半導体装置ユニット12Jを示している。当該半導体装置ユニット12Jは、第1の位置決め部として半導体装置11Aのインターポーザ13（具体的には、インターポーザ13の底面）を利用すると共に、ICカバー10Kの係合壁33に内側に向け突出した係止部35を形成した構成としている。

【0173】

当該係止部35は、ICカバー10Kが半導体装置11Aに装着された状態においてインターポーザ13の底面側縁部に於いて底面と係合する。よって、装着状態においてインターポーザ13は係止部35と凸部21との間に挟持される。このため、装着後にICカバー10Kが半導体装置11Aから離脱することを防止でき、半導体装置11Aを確実に保護することができる。

【0174】

当該係止部35はICカバー10Kの形成時に一体的に形成される。また、係止部35は、断面三角形（上下両面に傾斜面を有した形状）とされているため、半導体装置11Aに対しICカバー10Kを操作性よく着脱することができる。

【0175】

上記実施例にあつてはICカバー10として、予め半導体素子などを収容する空間を有して予め成形されたものを開示した。しかしながら、インターポーザ上に搭載される半導体チップ、電子部品の種類・数が増加すると、これらに対応する空間を形成する煩雑が生じてしまう。

【0176】

次に説明するICカバーの実施例にあつては、当該ICカバーとして、前記成形体に代えて弾性体シートを適用することにより、係る煩雑さを低減することができる。

【0177】

本発明に係る弾性体を用いたICカバー10L、及びこれを適用した半導体装置ユニット12Kを図24に示す。当該ICカバー10Lは、インターポーザ13に対応した外形寸法を有する直方体形状を有する。勿論、その形状、外形寸法は、インターポーザの形状、寸法に対応して選択することができる。またその材質としてはニトリルゴム、或いはシリコンゴム等が用いられる。尚、その材質選定に際して、ショア硬度タイプA50以上のものを選択することが望ましい。

【0178】

係るICカバー10Lは、半導体装置11Aの上面に直接載置・装着される。この装着の際、ICカバー10Lの対向面36に仮止め用の接着剤を塗布し、ICカバー10Lをインターポーザ13に固定してもよい。ICカバー10Lを弾性材を用いて形成することにより、半導体装置11A或いは図示されない電子部品の有する高さ（厚さ）は、当該ICカバーの弾性変形により吸収され、前記実施例に於ける空間の設置は不要となる。

【0179】

即ち、インターポーザ上に搭載される半導体チップ、電子部品の種類・数が増加した場合であっても、弾性変形によってこれらに対応する空間を実質的に形成することができる。

【0180】

また、ICカバー10Lを半導体装置11Aに装着した状態において、大きな外力が印加されても、この外力はICカバー10Lが弾性変形することにより吸収される。よって、本実施例に係るICカバー10Lによれば、半導体装置11Aを確実に保護することができる。

【0181】

係る弾性材からなるICカバー10Lは、その弾性が低下して、前記電子部品の有する高さ（厚さ）に対応した変形が困難となるまで、繰り返し使用することができる。

【0182】

本発明に於ける IC カバーは、熱可塑性樹脂材料をもって形成することもできる。熱可塑性樹脂を用いて形成した IC カバー 10M、及びこれを適用した半導体装置ユニット 12L を図 25 に示す。

【0183】

当該 IC カバー 10L は、インターポーザ 13 に対応した外形寸法を有する直方体形状を有する。勿論、その形状、外形寸法は、インターポーザの形状、寸法に対応して選択することができる。またその材質としては塩化ビニル (PVC) が用いられる。この塩化ビニルは、80℃～100℃程度の温度下で軟化する特性を有する。

【0184】

係る IC カバー 10M は、半導体装置 11A の上面に直接載置・装着される。装着の際、IC カバー 10M を上記の 80℃～100℃程度まで加熱し、軟化させた状態で IC カバー 10M を半導体装置 11A に向け加圧する。IC カバー 10M は軟化することにより接着性が生じ、IC カバー 10M は半導体装置 11A に仮止め (接着) される。これにより、図 25 (B) に示す半導体装置ユニット 12L が形成される。

【0185】

IC カバー 10M を熱可塑性樹脂を用いて形成することにより、半導体装置 11A 或いは図示されない電子部品の有する高さ (厚さ) は、当該 IC カバー 11M の熱変形により吸収され、前記実施例に於ける空間の設置は不要となる。即ち、インターポーザ上に搭載される半導体チップ、電子部品の種類・数が増加した場合であっても、熱可塑性樹脂の変形によってこれらに対応する空間を実質的に形成することができる。

【0186】

また、IC カバー 10M は接着力を持って半導体装置 11A に仮止めされるため、装着後 IC カバー 10M は半導体装置 11A から容易に離脱しない。

【0187】

一方、半導体装置 11A から IC カバー 10M を取り外す際には、再び IC カバー 10M を加熱し軟化させる。これにより接着力が低下し、IC カバー 10M を半導体装置 11A から容易に取り外すことができる。係る熱可塑性樹脂からなる IC カバー 10M も、前記弾性体を用いた IC カバー 11L と同様に、繰り返し使用することができる。

【0188】

また、次に説明する IC カバーの実施例にあつては、IC カバー 10N は、少なくともその表面に導電性を付与し、半導体装置 11A に静電気対策を施すことができる。

【0189】

即ち、本発明に係る IC カバー 10N は、図 26 に示す構成に於いて、基部 20F 及び凸部 21 の表面に導電性を付与する。

【0190】

当該 IC カバー 10N の基部 20F 及び凸部 21 に導電性を与えるためには、IC カバー 10N の表面にポリカーボネートなどの導電性材料を塗布するか、当該 IC カバー 10N を例えばポリカーボネートからなる導電性材料をもって形成するなどの手段を執ることができる。

【0191】

係る構造によれば、IC カバー 10N の凸部 21 及び基部 20F が少なくとも表面が導電性を有するため、IC カバー 10N を半導体装置 11A に装着する際などに、両者の間に静電気が発生したとしても、係る静電気を IC カバー 10N を介して除去することができる。従って、半導体装置 11A に配設されている半導体チップ 14 及びインターポーザ 13 に形成された回路などに静電気破壊を招くことが防止される。

【0192】

また、本発明にあつては IC カバー 10N をインターポーザ 13 に形成されたグランド配線に接触させることも可能である。係る構成によれば、IC カバー 10N がシールドケースとしても機能するため、半導体装置 11A の試験時等において、半導体チップ 14 等

に対する電磁的な外乱の影響を防止することができる。

【0193】

以上の説明に関し、更に以下の項を開示する。

(付記1)

1 または複数の素子が搭載された半導体装置上に、着脱可能な保護用部材を装着することにより前記半導体装置を保護することを特徴とする半導体装置の保護方法。

(付記2)

半導体装置が製造された後から該半導体装置を出荷するまでに実施される各種処理において、該半導体装置を保護する半導体装置の保護方法であって、

該半導体装置に保護用部材を装着した状態で前記各種処理を実施することを特徴とする半導体装置の保護方法。

(付記3)

付記2記載の半導体装置の保護方法において、

前記処理は、吸着チャックを用いて前記半導体装置を吸着しこれを搬送する処理であり、

かつ、前記半導体装置用カバーに吸着孔を形成し、前記吸着チャックが前記半導体装置用カバーを介して前記半導体装置を吸着することを特徴とする半導体装置の保護方法。

(付記4)

半導体装置に着脱可能な半導体装置用カバーを装着し、

該半導体装置用カバーを介して上方より該半導体装置をICコンタクトに押圧して試験することを特徴とする半導体装置の試験方法。

(付記5)

半導体装置に装着される半導体装置用カバーにおいて、

該半導体装置用カバー上面は平らな平面となっており、
該半導体装置用カバー下面には、前記半導体装置の基板部に接する凸部と、前記半導体装置に実装された部品に接しない形状の凹部とを備えることを特徴とする半導体装置用カバー。

(付記6)

付記5記載の半導体装置用カバーにおいて、

前記半導体装置用保護カバー前記半導体装置に簡単に着脱できる構造としたことを特徴とする半導体装置用保護カバー。

(付記7)

付記5または6記載の半導体装置用カバーにおいて、

前記凸部及び前記基部を前記半導体装置の表面の硬度に対して高い硬度を有する材料で形成したことを特徴とする半導体装置用カバー。

(付記8)

付記5または6記載の半導体装置用カバーにおいて、

前記凸部及び前記基部を前記半導体装置の表面の硬度に対して低い硬度を有する材料で形成したことを特徴とする半導体装置用カバー。

(付記9)

付記5または6記載の半導体装置用カバーにおいて、

前記凸部及び前記基部を弾性材料で形成したことを特徴とする半導体装置用カバー。

(付記10)

半導体装置に装着される半導体装置用カバーにおいて、

該半導体装置用カバー上面は平らな平面となっており、
該半導体装置用カバー下面は、前記半導体装置の基板部と前記半導体装置に実装された部品とに接し、
弾性変形する弾性材からなることを特徴とする半導体装置用カバー。

(付記11)

付記5または6記載の半導体装置用カバーにおいて、

前記凸部及び前記基部に導電性を持たした構成としたことを特徴とする半導体装置用カバー。

(付記 12)

付記 6 乃至 11 のいずれか 1 項に記載の半導体装置用カバーにおいて、装着状態で前記半導体装置に係止される係止部を設けたことを特徴とする半導体装置用カバー。

(付記 13)

付記 6 乃至 12 のいずれか 1 項に記載の半導体装置用カバーにおいて、前記基部の外形を、装着される前記半導体装置の外形に拘わらず既定の外形形状としたことを特徴とする半導体装置用カバー。

(付記 14)

半導体装置と、付記 5 乃至 13 のいずれか 1 項に記載された半導体装置用カバーとを有することを特徴とする半導体装置ユニット。

(付記 15)

付記 14 記載の半導体装置ユニットにおいて、前記半導体装置に第 1 の位置決め部を設けると共に前記半導体装置用カバーに第 2 の位置決め部を設け、前記第 1 の位置決め部と前記第 2 の位置決め部が係合することにより、前記半導体装置と前記半導体装置用カバーとの位置決めを行なう構成としたことを特徴とする半導体装置ユニット。

(付記 16)

付記 15 記載の半導体装置ユニットにおいて、前記第 1 の位置決め部を突起部により形成すると共に、前記第 2 の位置決め部を該突起部と係合する凹部とにより構成したことを特徴とする半導体装置ユニット。

(付記 17)

付記 16 記載の半導体装置ユニットにおいて、前記突起部に、前記凹部の相対的な挿入を案内する傾斜面を形成したことを特徴とする半導体装置ユニット。

(付記 18)

付記 15 記載の半導体装置ユニットにおいて、前記第 1 の位置決め部を前記半導体装置の外周縁とすると共に、前記第 2 の位置決め部を該外周縁と係合する係合壁とにより構成したことを特徴とする半導体装置ユニット。

(付記 19)

付記 18 記載の半導体装置ユニットにおいて、前記係合壁に、前記外周縁との係合を案内する傾斜面を形成したことを特徴とする半導体装置ユニット。

(付記 20)

付記 15 記載の半導体装置ユニットにおいて、前記第 1 の位置決め部及び前記第 2 の位置決め部を認識マークにより構成したことを特徴とする半導体装置ユニット。

(付記 21)

一対のトレイ半体により構成されるトレイ内に、半導体装置を装着し梱包する半導体装置の梱包構造において、前記トレイ半体と前記半導体装置の表面との間に、付記 5 乃至 13 のいずれか 1 項に記載された半導体装置用カバーを配設したことを特徴とする半導体装置の梱包構造。

(付記 22)

エンボステープ上に半導体装置を貼着し梱包する半導体装置の梱包構造において、前記半導体装置の表面に、付記 5 乃至 13 のいずれか 1 項に記載された半導体装置用カバーを配設したことを特徴とする半導体装置の梱包構造。

【図面の簡単な説明】

【0194】

【図1】図1は、本発明の対象とする技術を説明するための図であり、半導体装置が組み立てられた後、搬送され、試験後、出荷されるまでの工程を示す。

【図2】図2は、図1に示す工程に於ける搬送工程を説明するための図である。

【図3】図3は、図1に示す工程に於ける試験工程を説明するための図である（その1）。

【図4】図4は、図1に示す工程に於ける試験工程を説明するための図である（その2）。

【図5】図5は、図1に示す工程に於ける試験工程を説明するための図である（その3）。

【図6】図6は、図1に示す工程に於ける試験工程を説明するための図である（その4）。

【図7】図7は、図1に示す工程に於ける梱包・出荷工程を説明するための図である（その1）。

【図8】図8は、図1に示す工程に於ける梱包・出荷工程を説明するための図である（その2）。

【図9】図9は、本発明に於けるICカバーの適用状態を説明するための図である。

【図10】図10は、前記ICカバーを適用した半導体装置ユニットを説明するための図である。

【図11】図11は、ICカバーの第1の変形例を説明するための図である。

【図12】図12は、ICカバーの第2の変形例を説明するための図である。

【図13】図13は、ICカバーの第3の変形例を説明するための図である。

【図14】図14は、ICカバーの第4の変形例を説明するための図である。

【図15】図15は、前記ICカバーの第4の変形例を適用した半導体装置ユニットを説明するための図である。

【図16】図16は、ICカバーの第5の変形例を説明するための図である。

【図17】図17は、前記ICカバーの第5の変形例を適用した半導体装置ユニットを説明するための図である。

【図18】図18は、半導体装置に対するICカバーの位置決め手段を説明するための図である。

【図19】図19は、半導体装置に対するICカバーの位置決め手段の他の例を説明するための図である。

【図20】図20は、半導体装置に対するICカバーの位置決め手段の他の例を説明するための図である。

【図21】図21は、半導体装置に対するICカバーの位置決め手段の他の例を説明するための図である。

【図22】図22は、半導体装置に対するICカバーの位置決め手段の他の例を説明するための図である。

【図23】図23は、半導体装置に対するICカバーの位置決め手段の他の例を説明するための図である。

【図24】図24は、ICカバーの材質を変更した例を説明するための図である。

【図25】図25は、ICカバーの材質を変更した他の例を説明するための図である。

【図26】図26は、ICカバーの材質の更なる変形例を説明するための図である。

【符号の説明】

【0195】

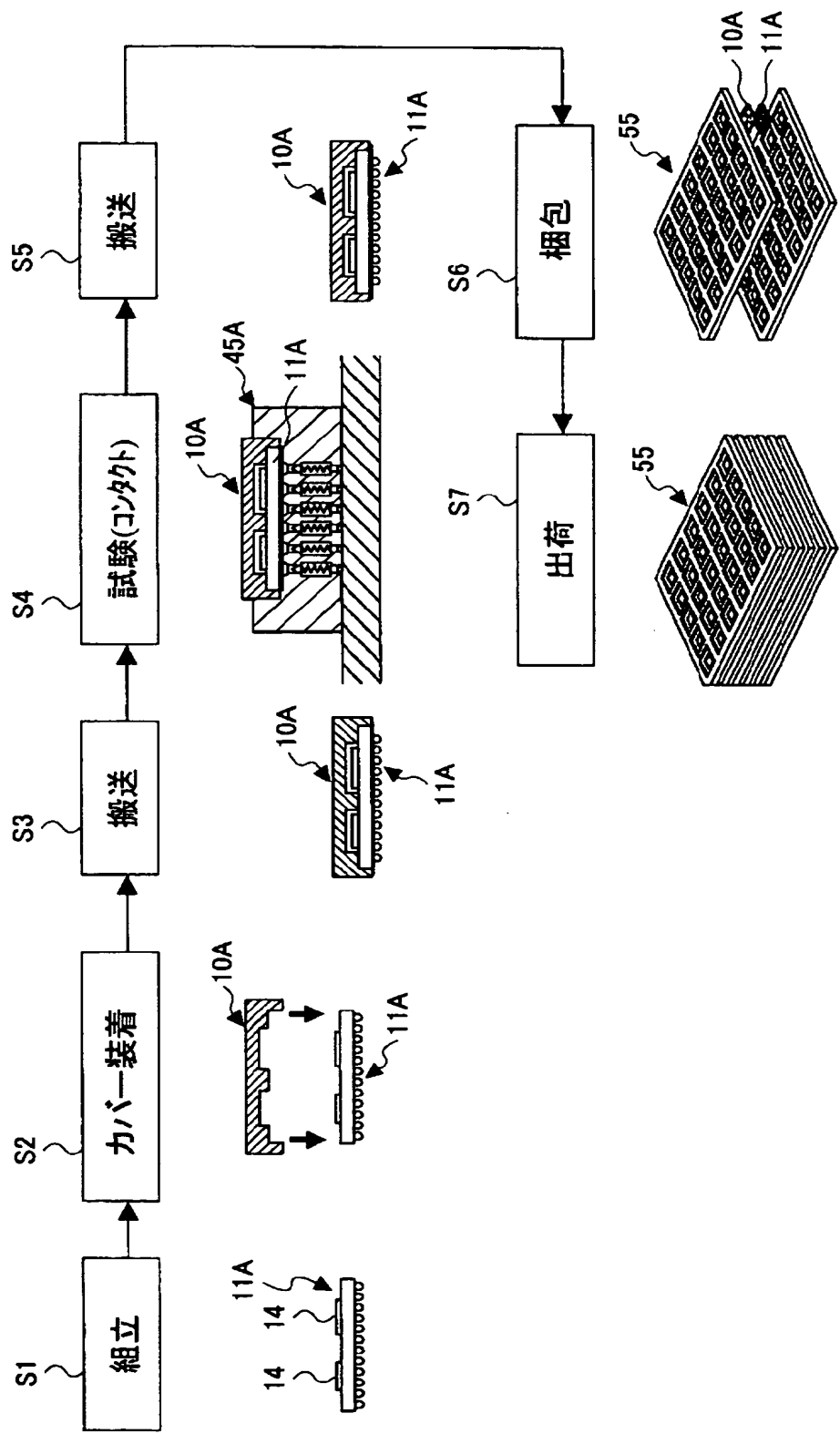
10A～10N ICカバー

11A～11G 半導体装置

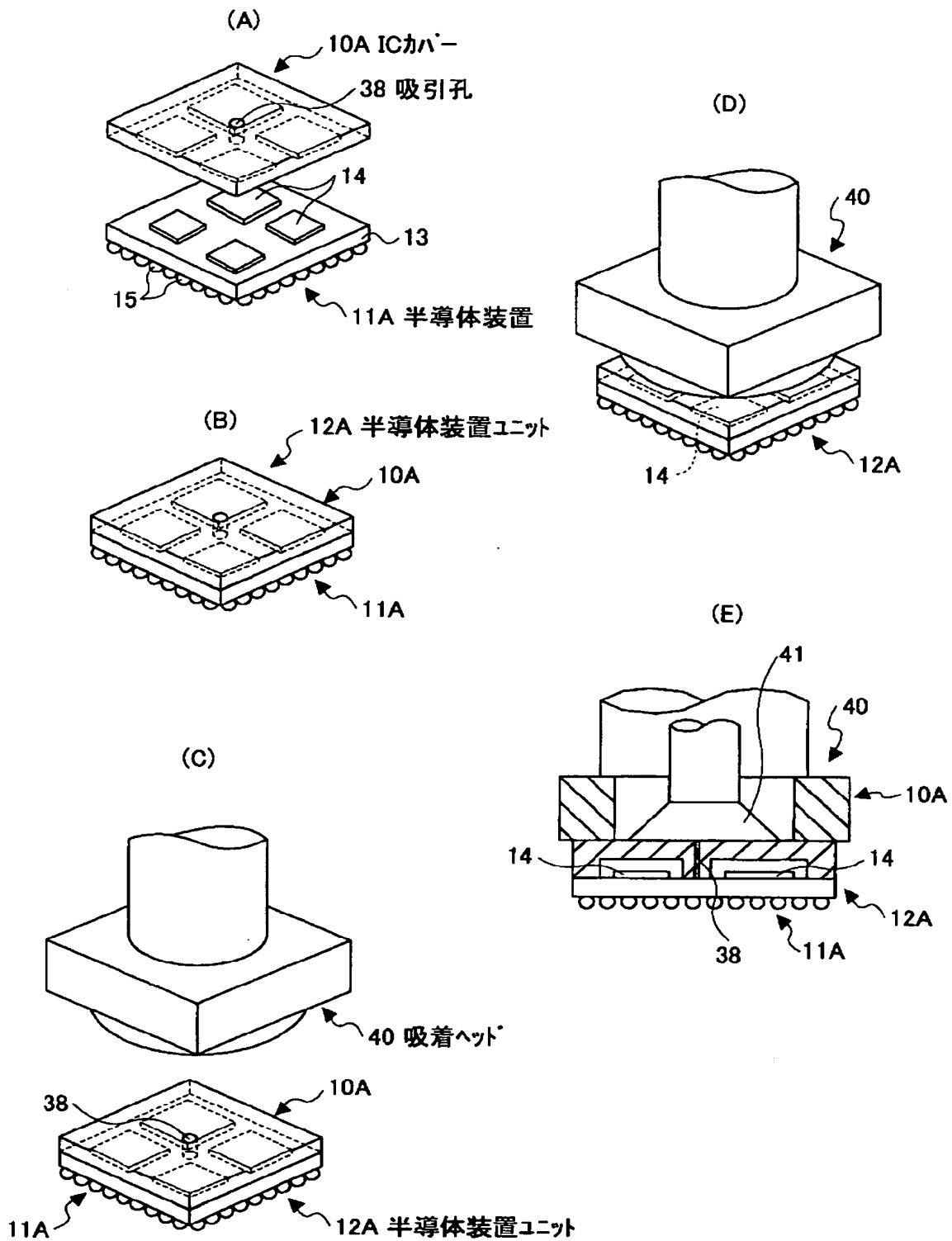
12A～12L 半導体装置ユニット

- 1 3 インターポーザ
- 1 4 半導体チップ
- 1 6 接触可能位置
- 1 7 アンダーフィル材
- 1 8 電子部品
- 1 9 スタック用はんだボール
- 2 0 A ~ 2 0 F 基部
- 2 1 凸部
- 2 2 A ~ 2 2 D 収納部
- 2 3 カバー表面
- 2 4 バンプ収納部
- 2 5 位置決め片
- 2 6 位置決め凹部
- 2 7, 2 8 位置決めマーク
- 2 9 位置決め凹部
- 3 0 位置決め突起
- 3 1, 3 4, 6 3 傾斜面
- 3 2 外周縁
- 3 3 係合壁
- 3 5 係止部
- 3 8 吸引孔
- 4 0 吸着ヘッド
- 4 1 吸引ノズル
- 4 5 A, 4 5 B コンタクタ
- 5 0 ガイド部
- 5 1 蓋体
- 5 5 トレイ
- 5 6 上部トレイ半体
- 5 7 下部トレイ半体
- 5 8, 6 2 収納部
- 6 0 エンボステープ
- 6 1 リール
- 6 3 カバーテープ

【書類名】 図面
【図 1】

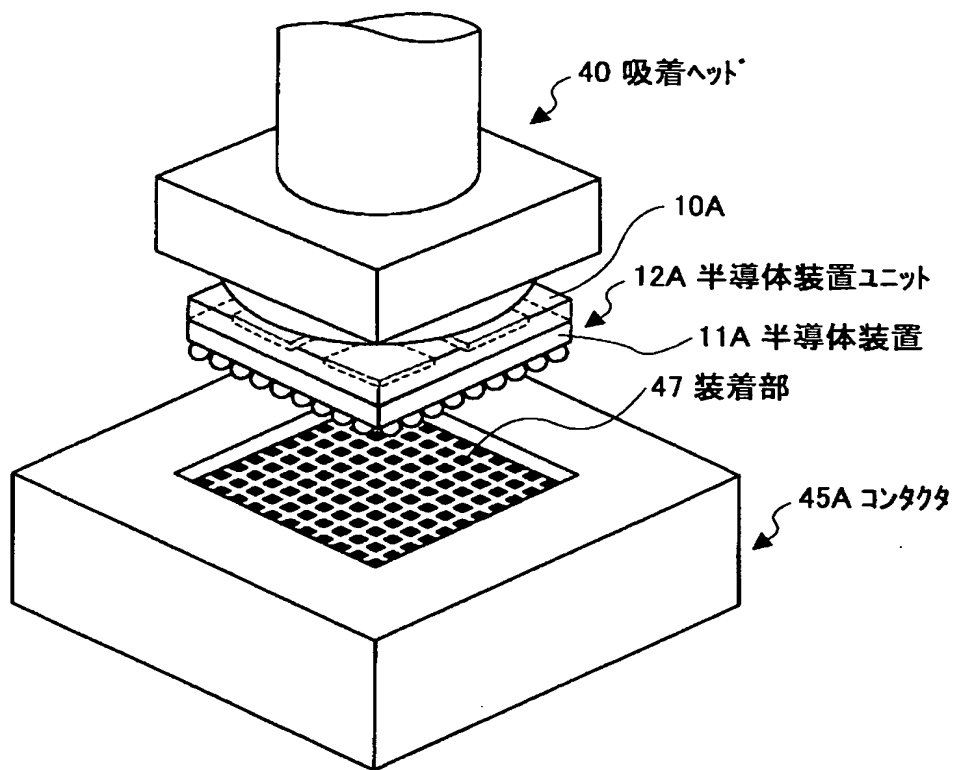


【図 2】

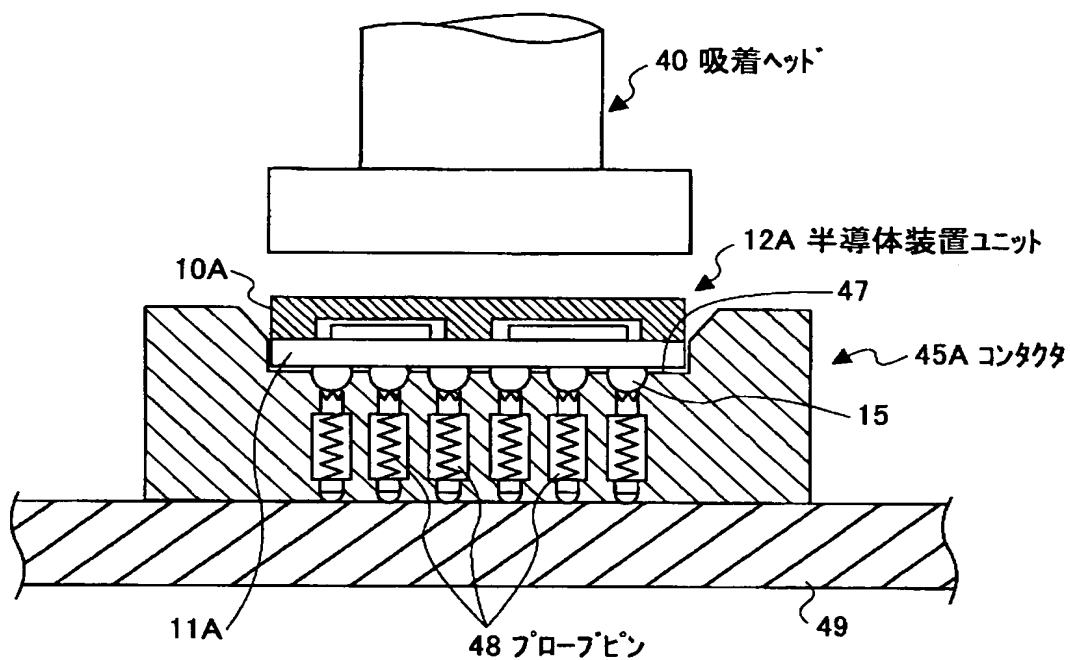


【図3】

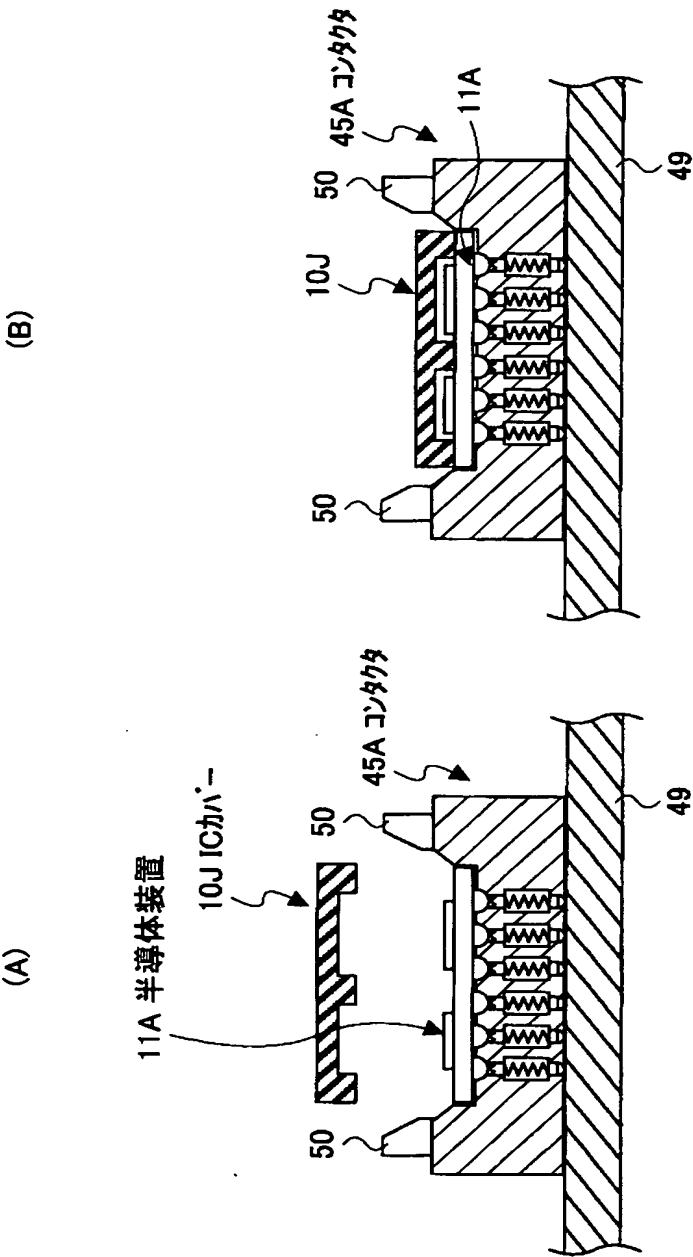
図1に示す工程における試験工程を説明するための図である(その1)



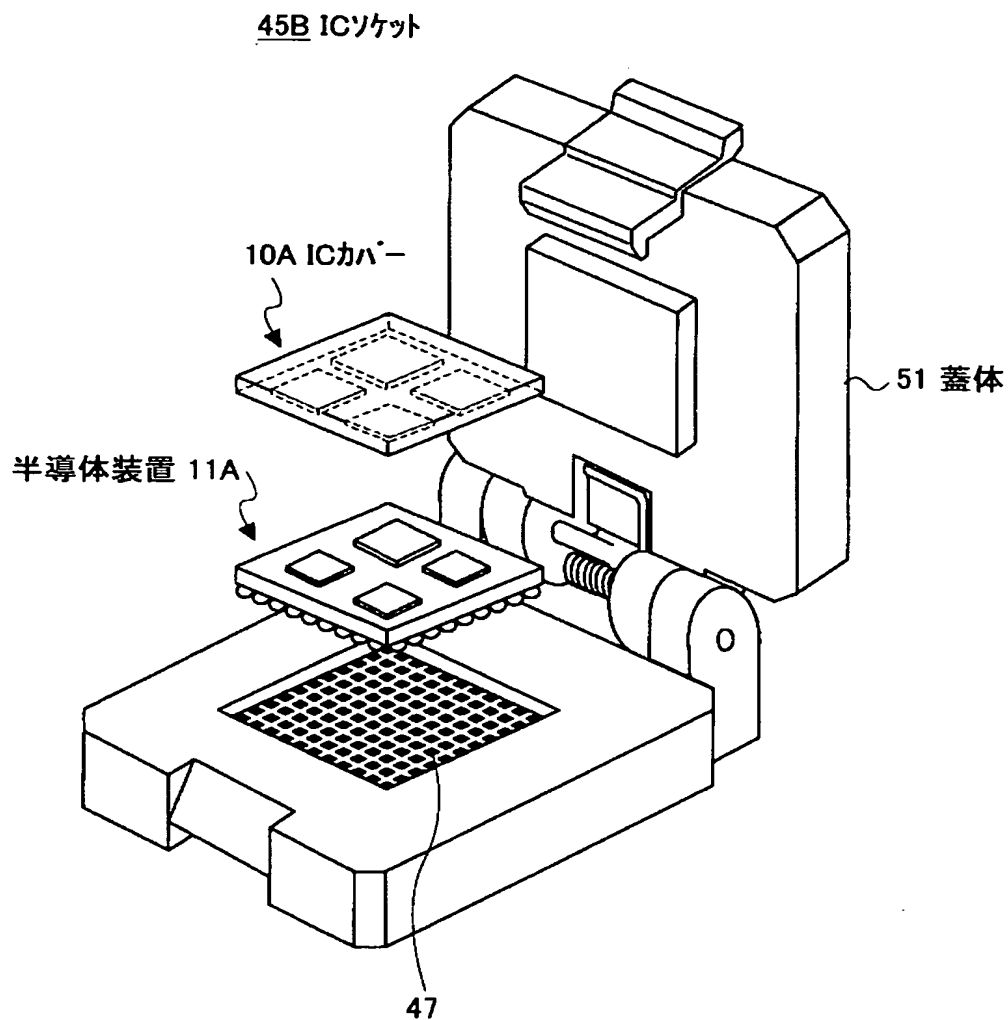
【図 4】



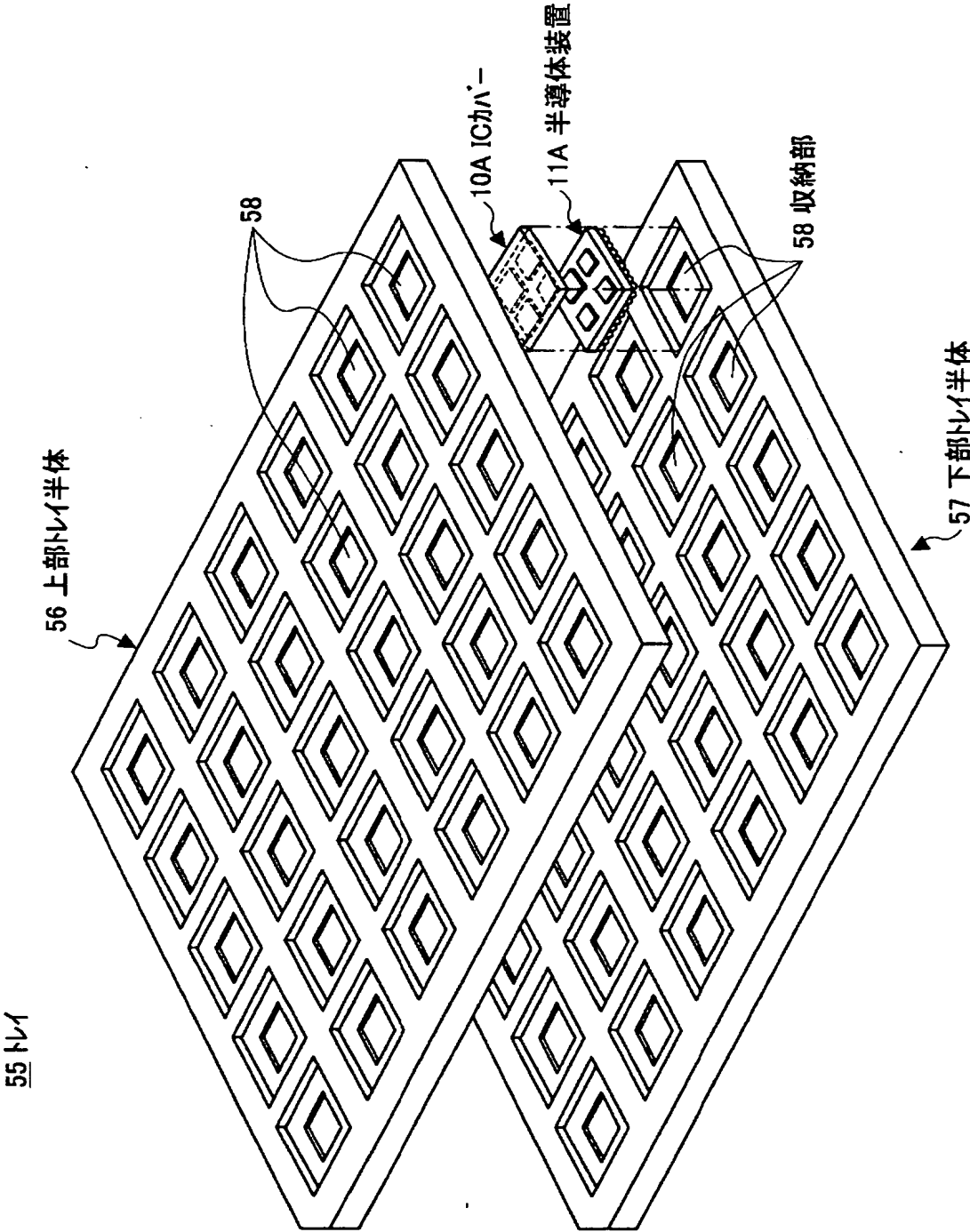
【図 5】



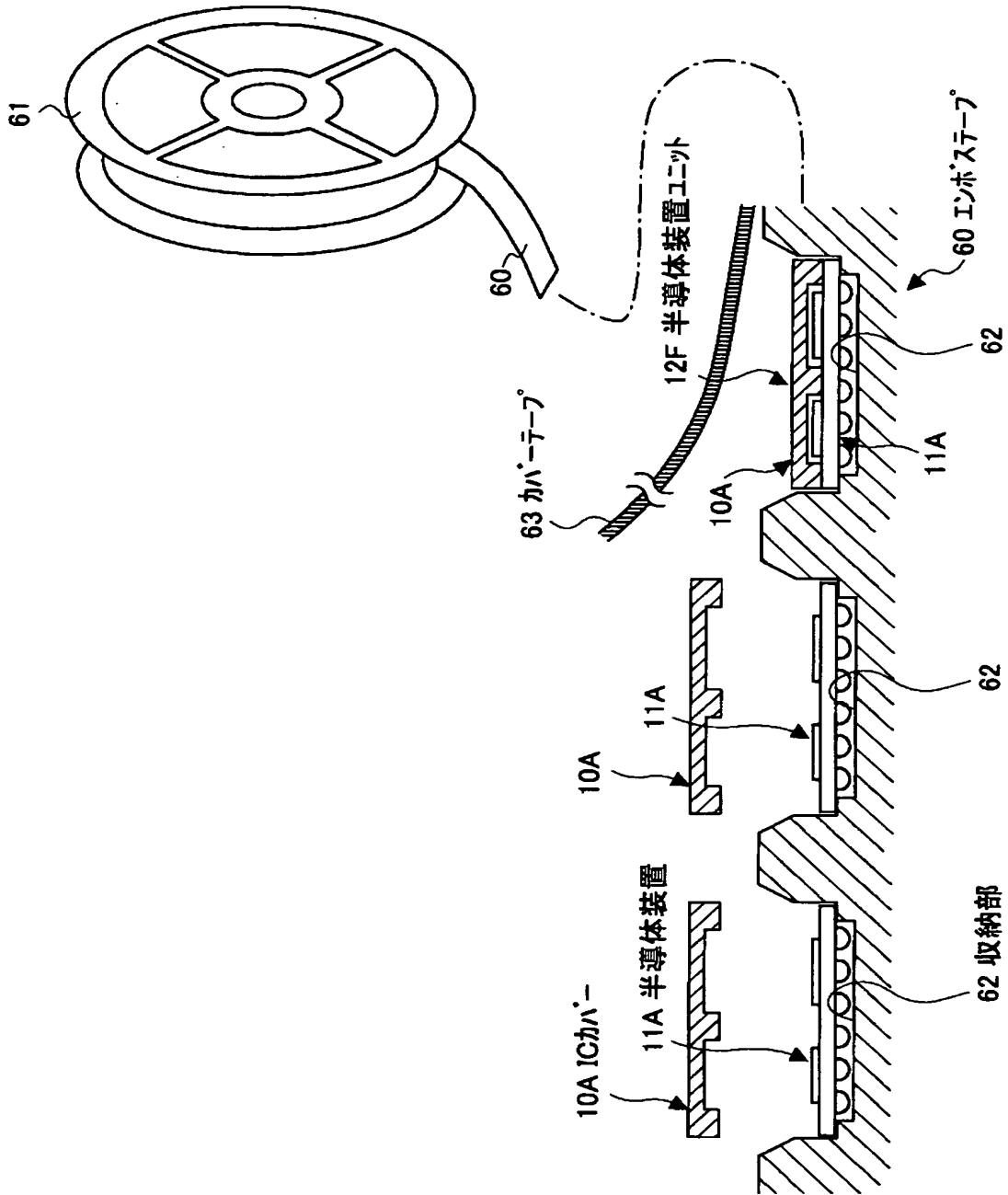
【図 6】



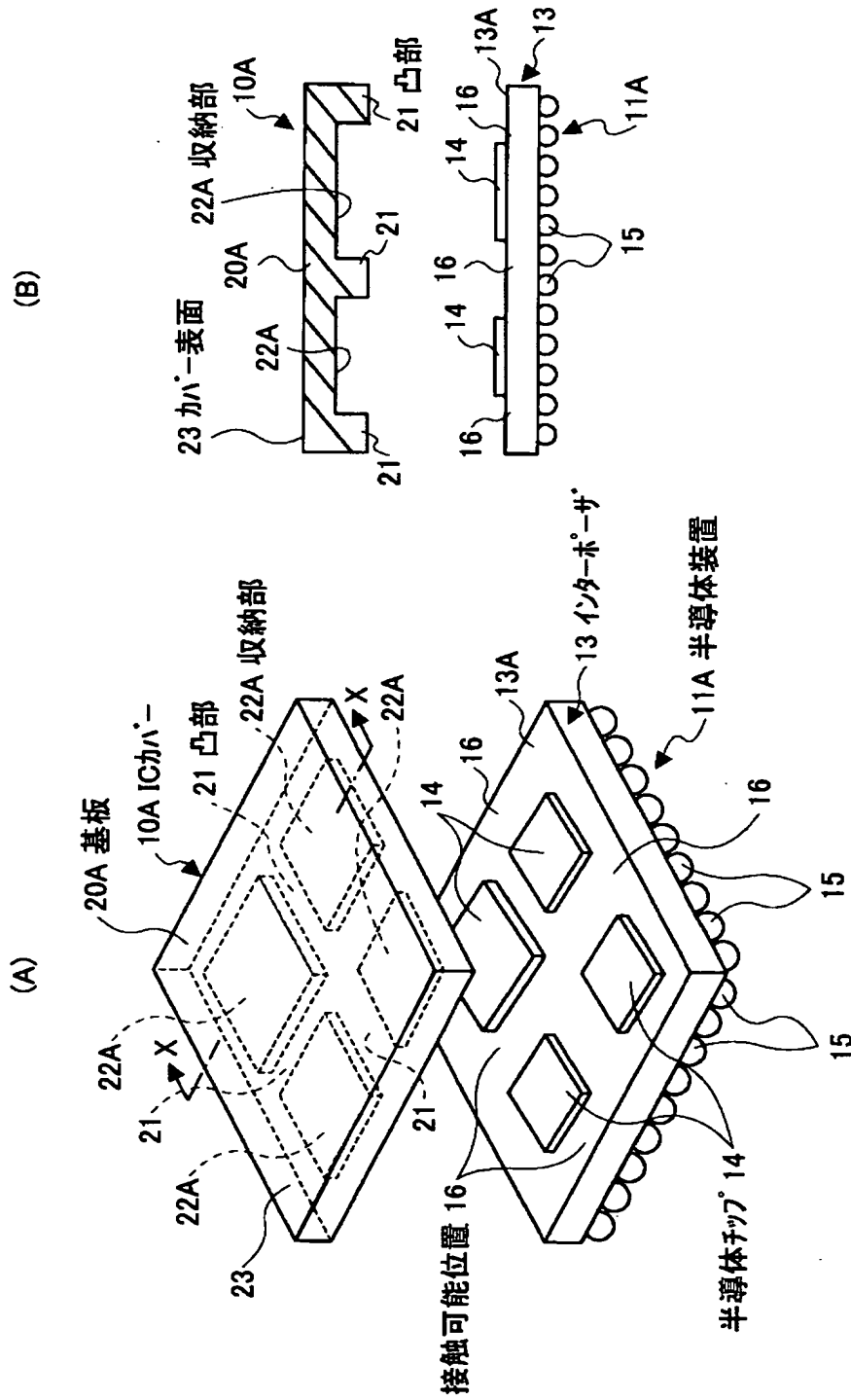
【図 7】



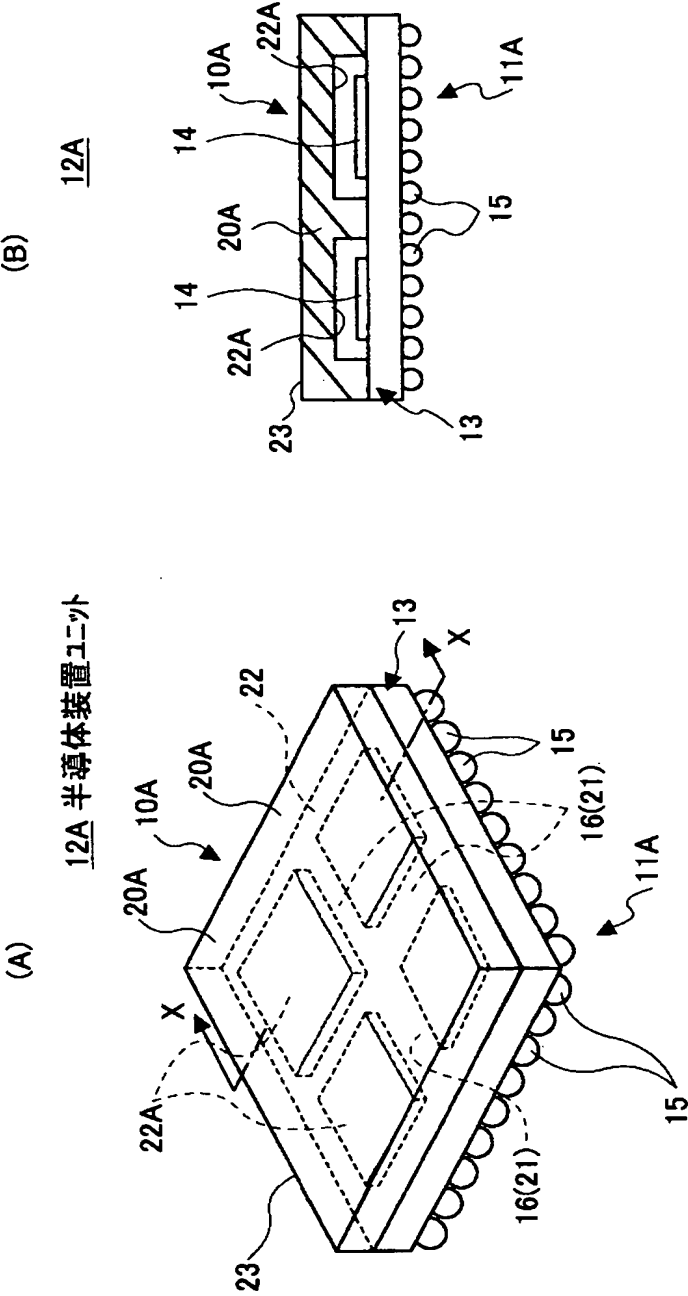
【図 8】



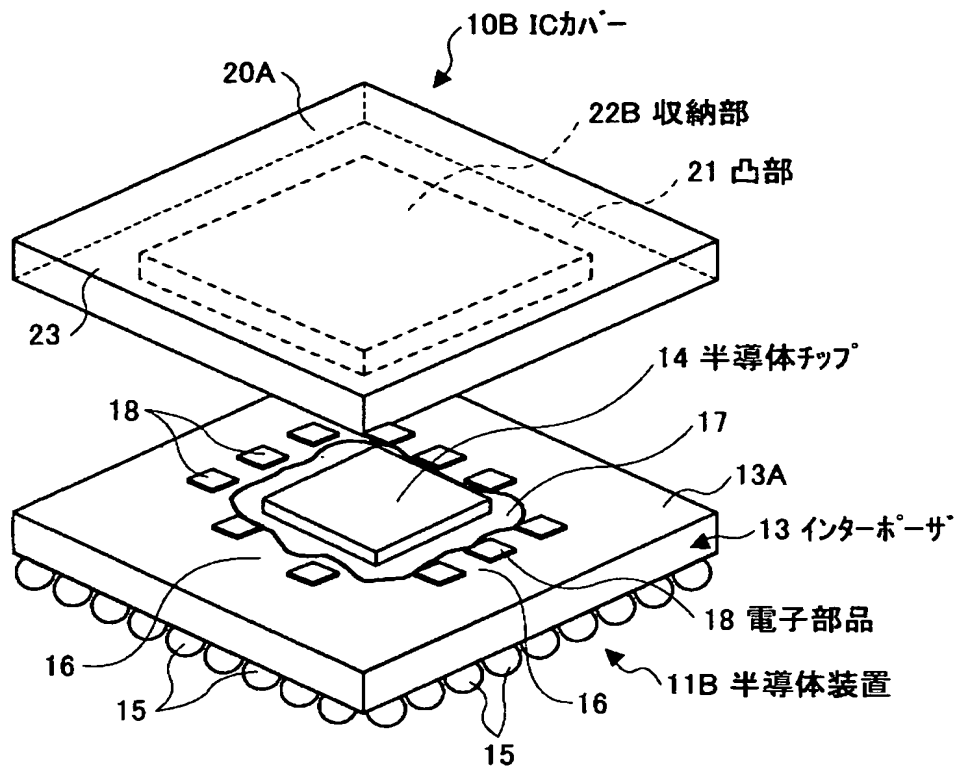
【図 9】



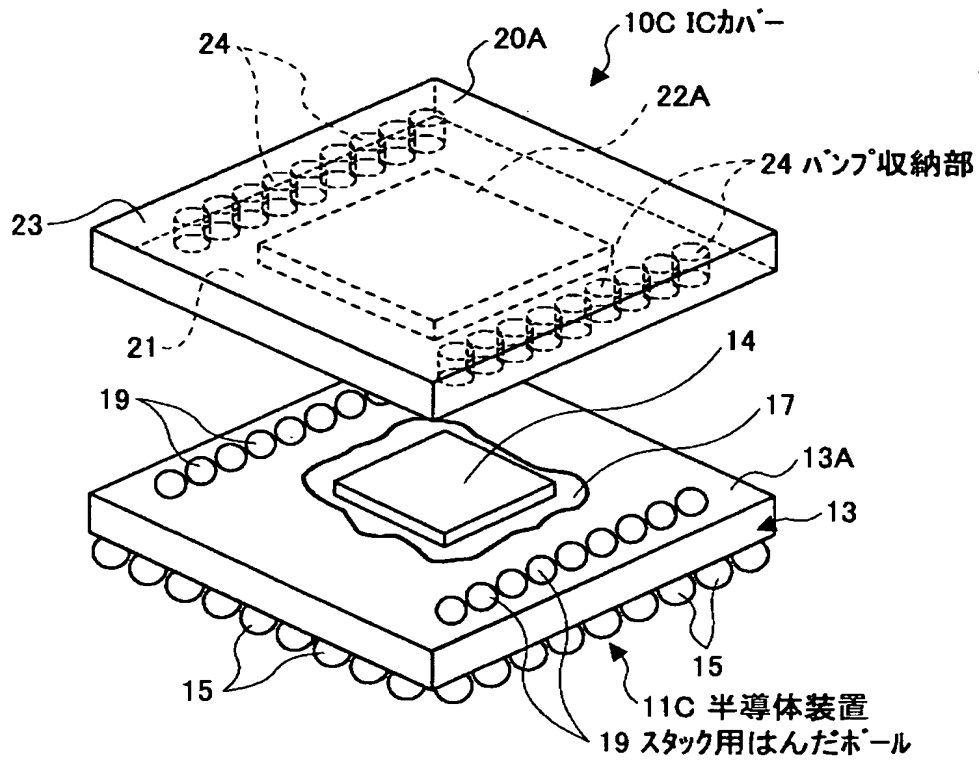
【図 10】



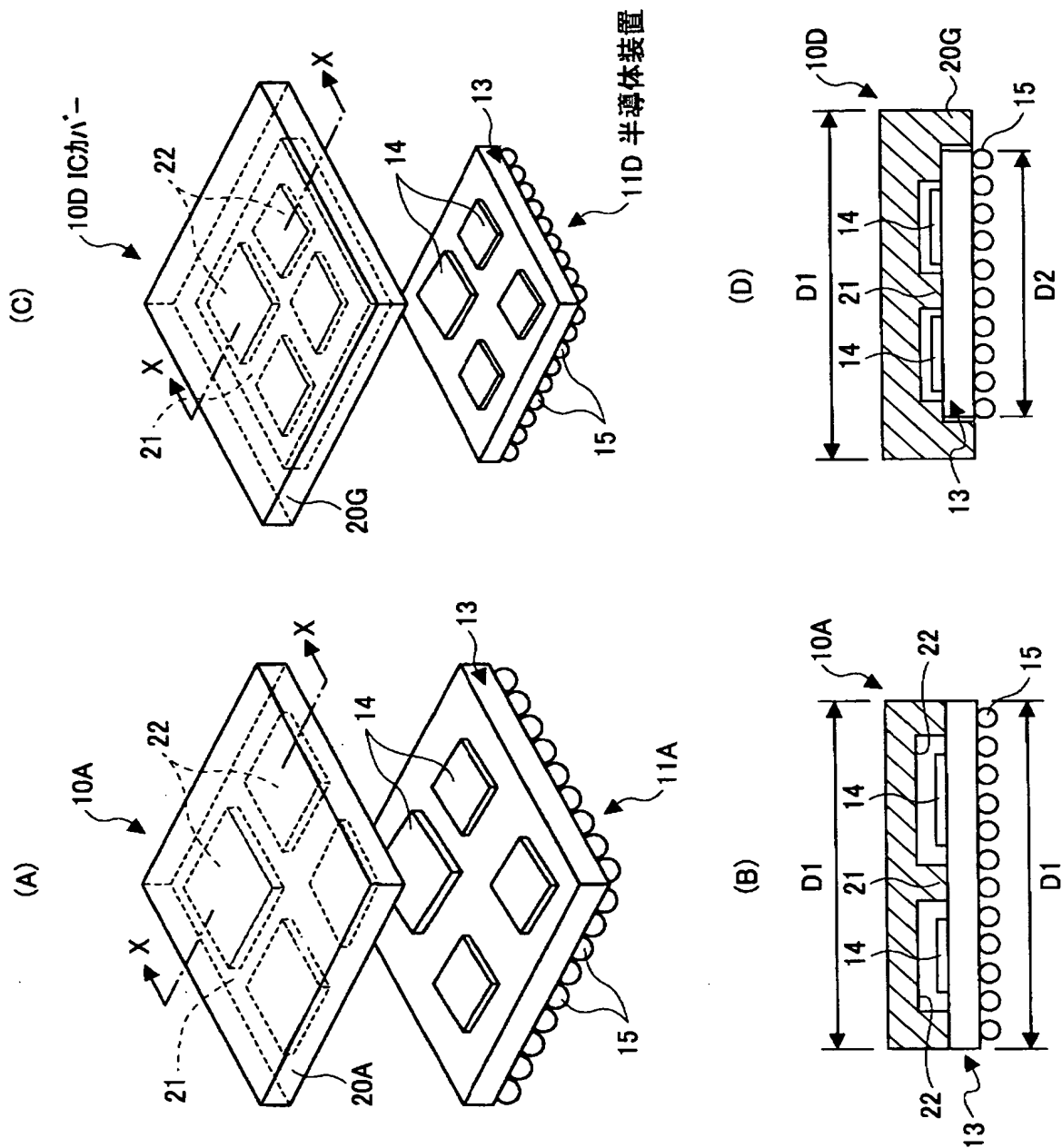
【図 11】



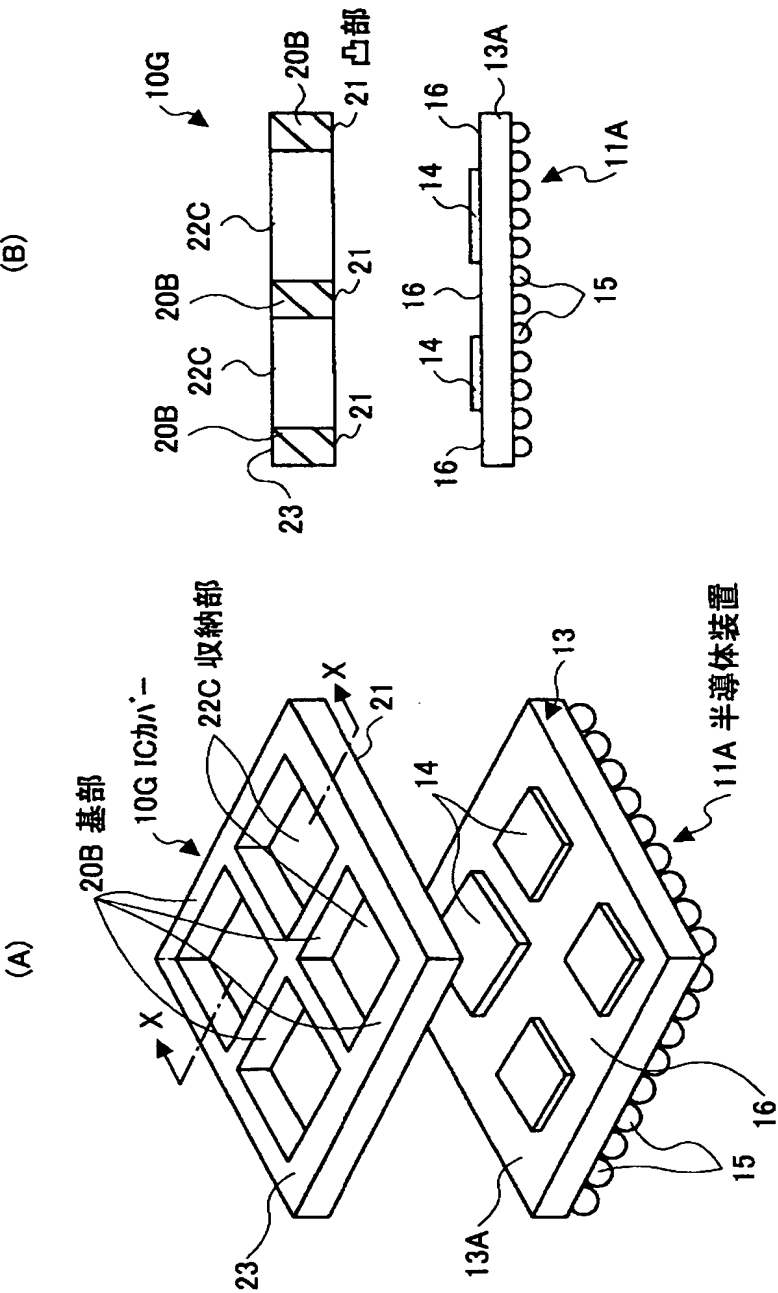
【図 12】



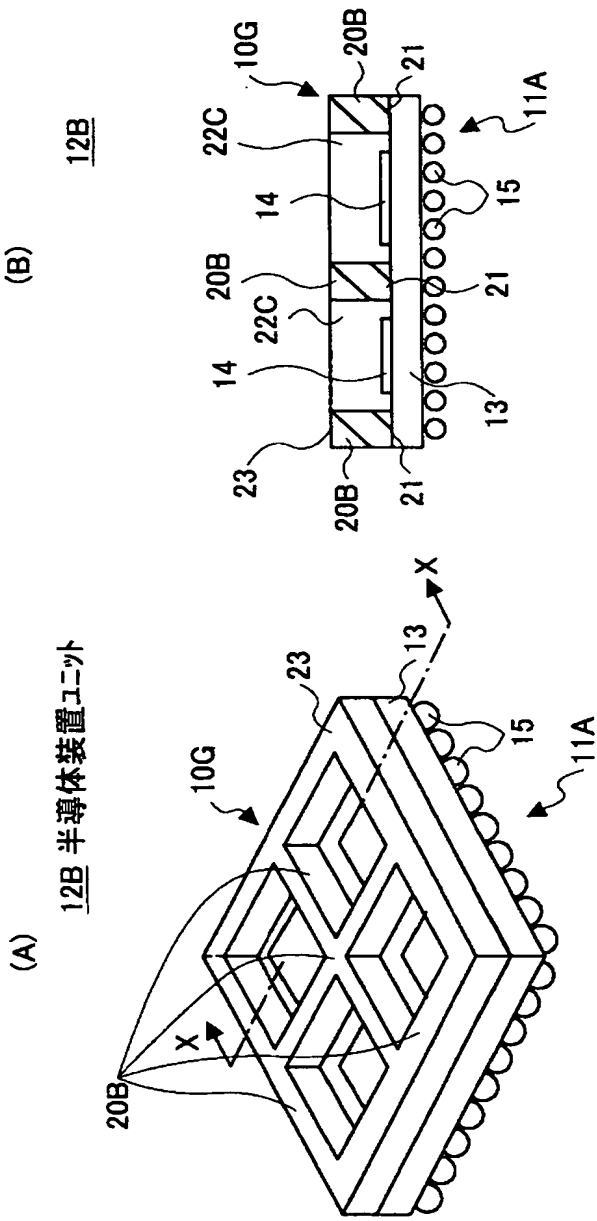
【図 13】



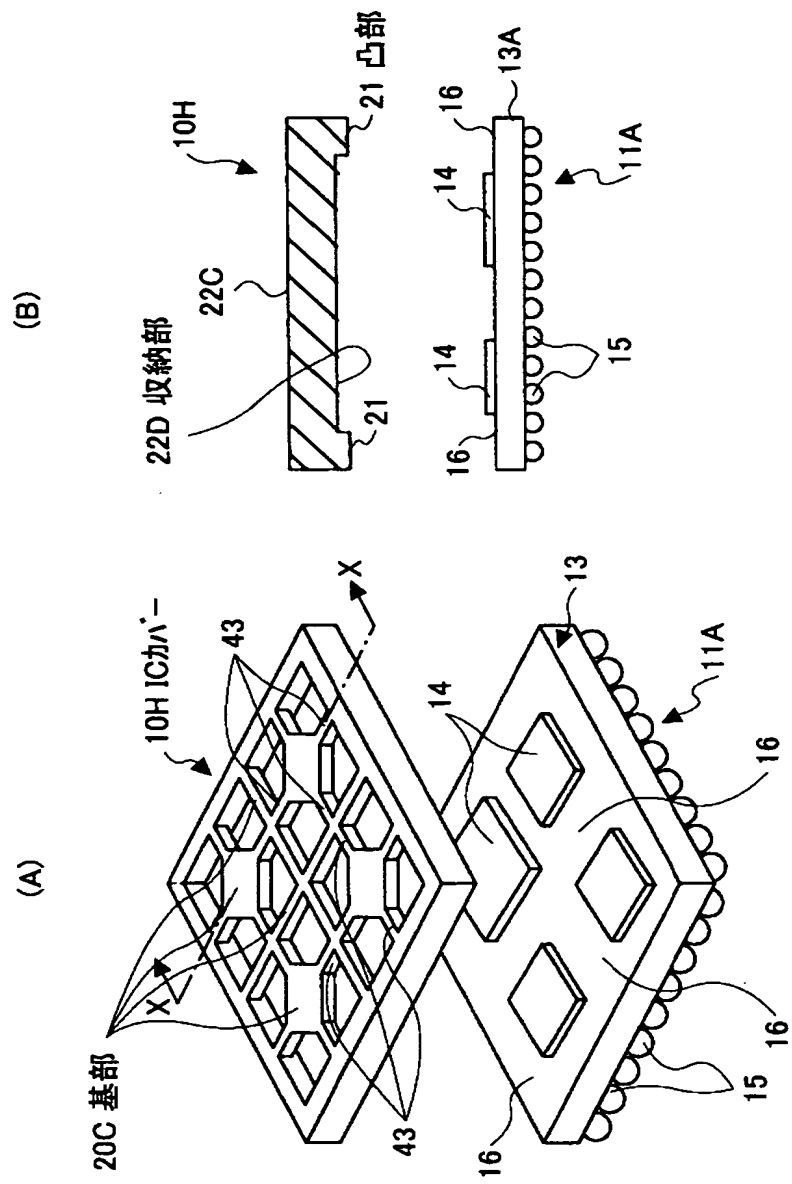
【図 14】



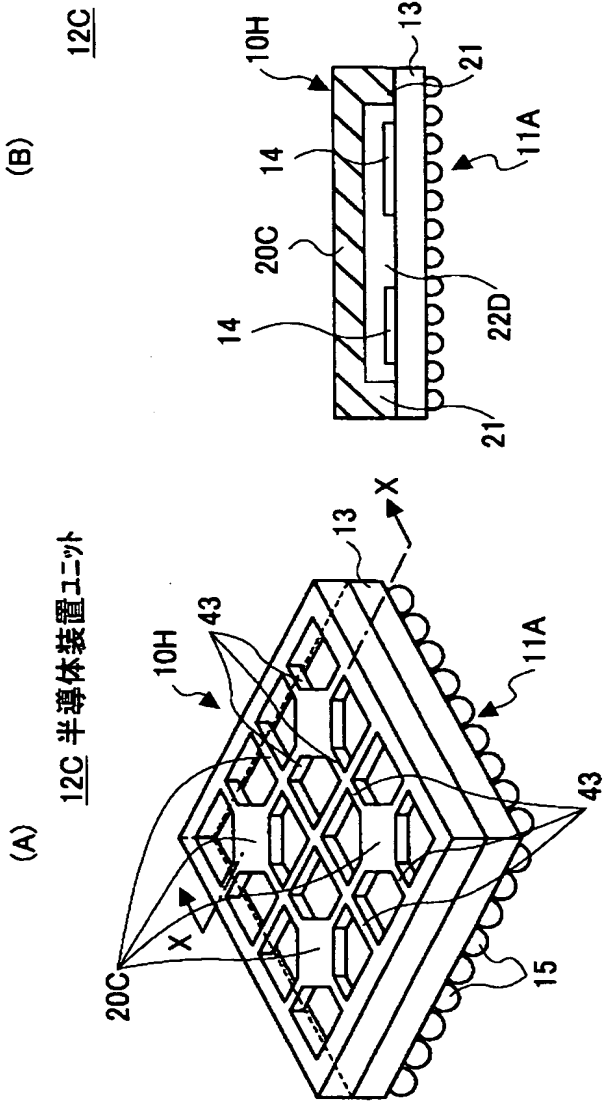
【図 15】



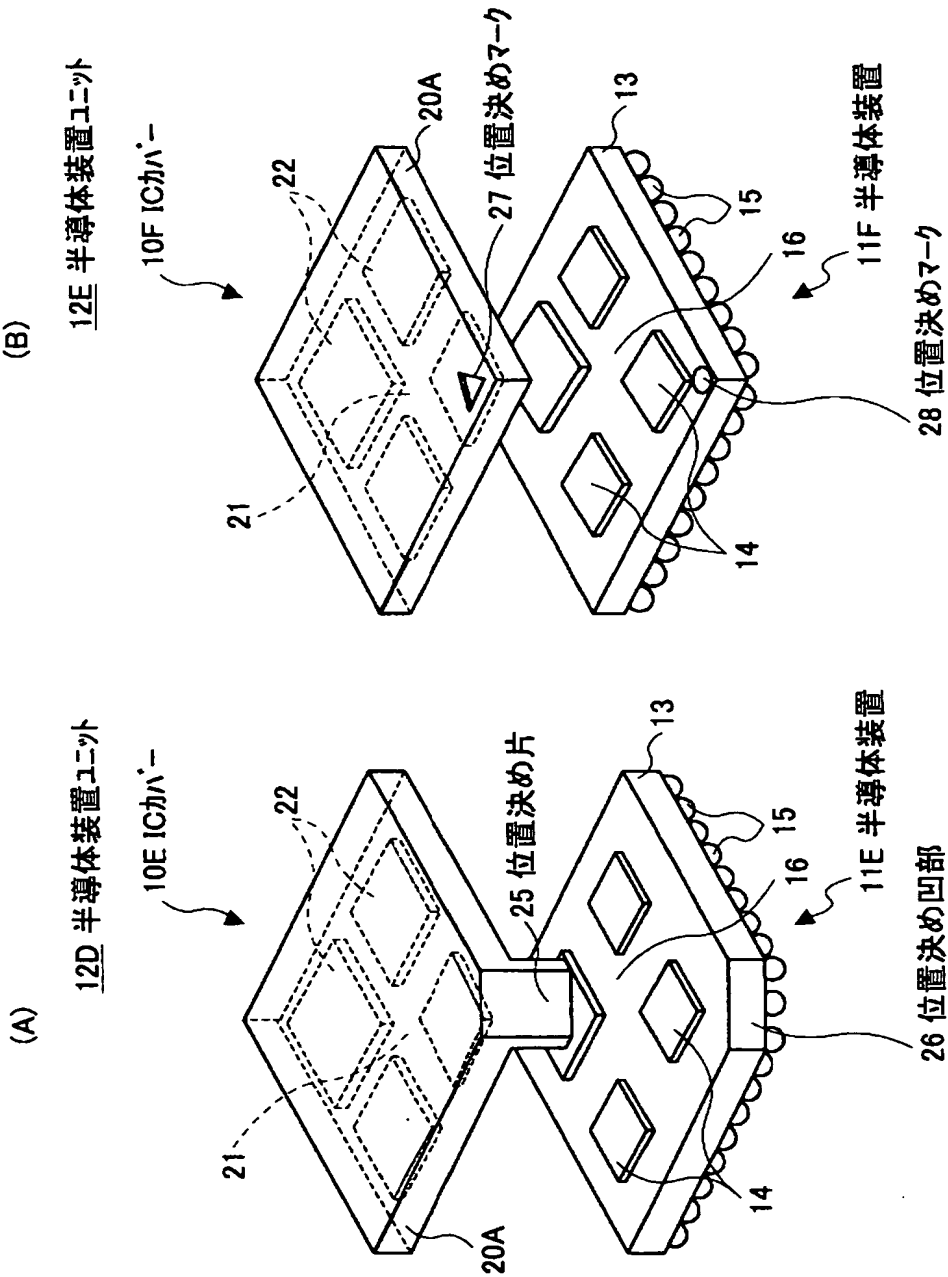
【図 16】



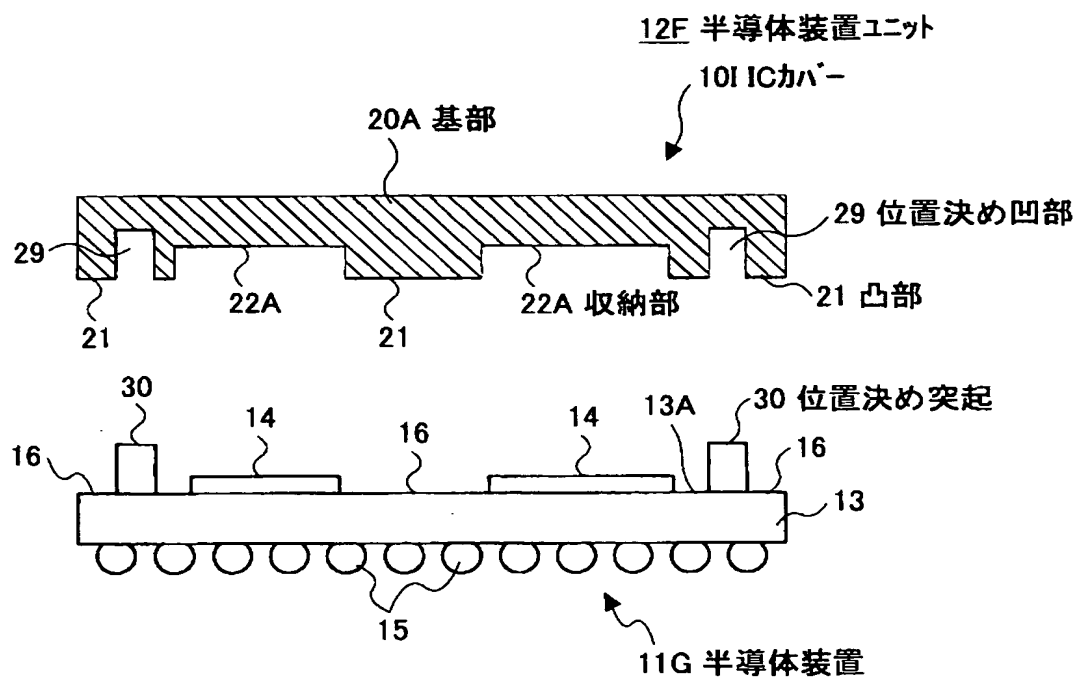
【図 17】



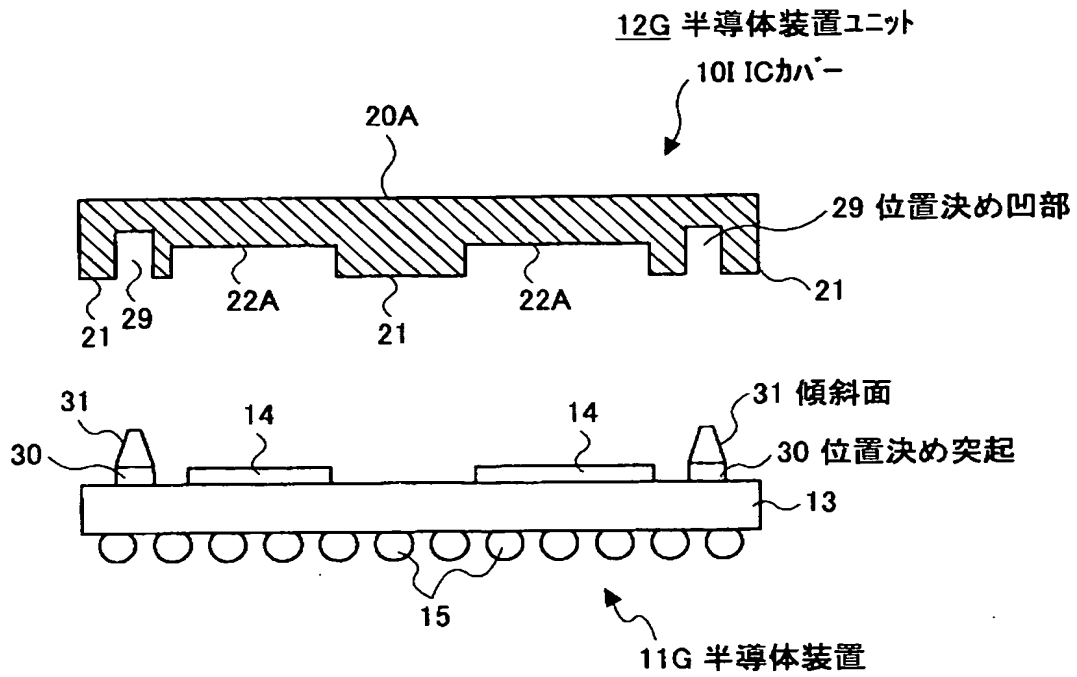
【図 18】



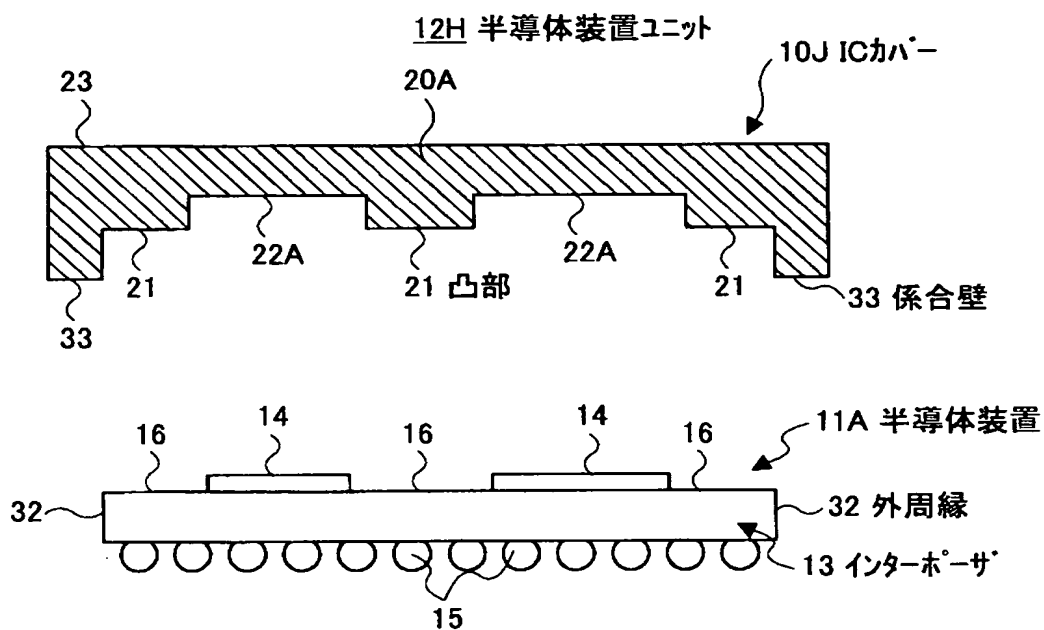
【図 19】



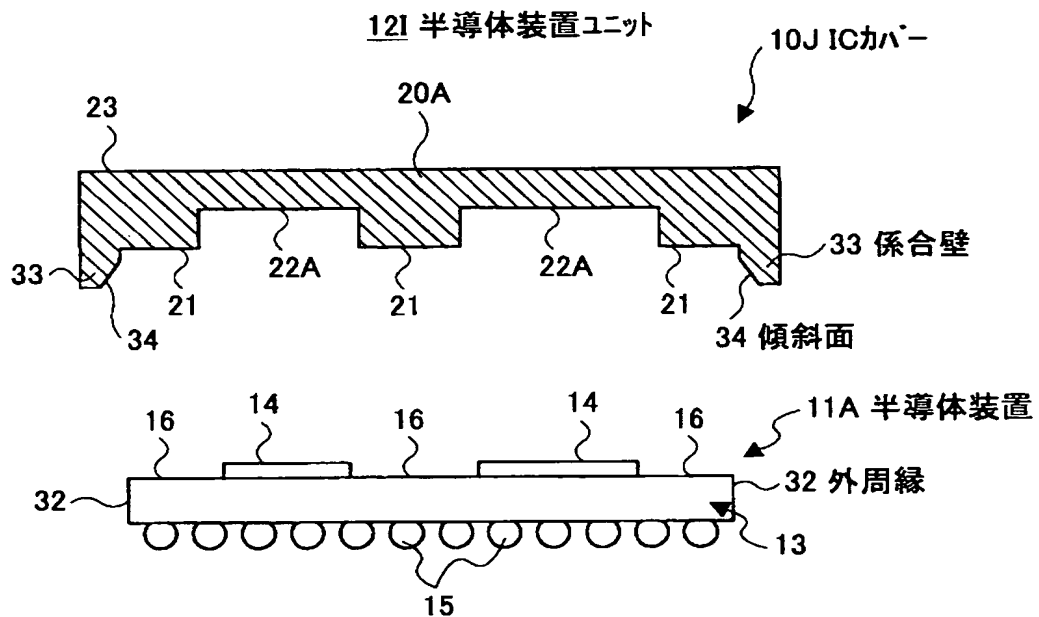
【図 20】



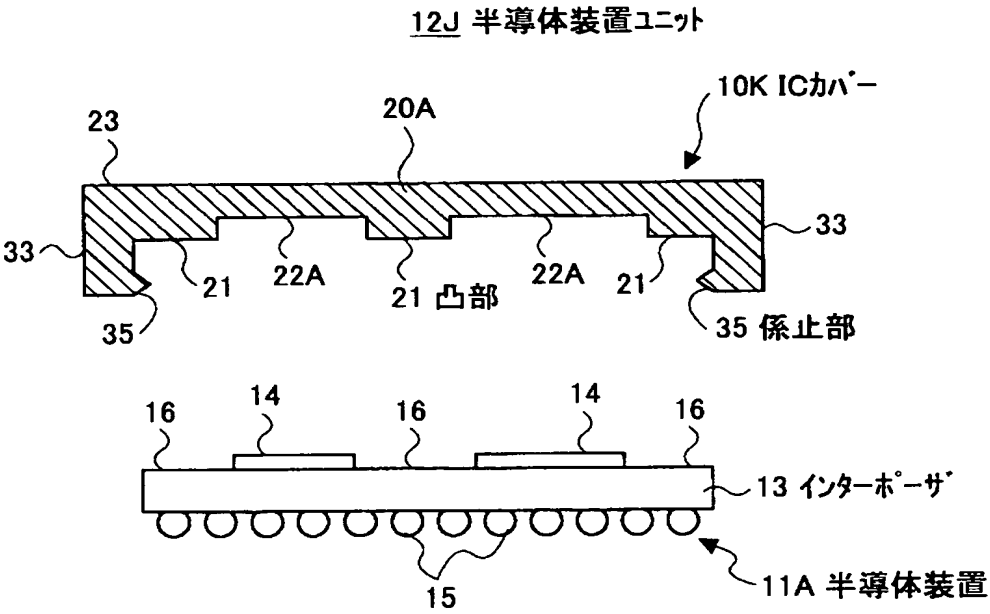
【図 2 1】



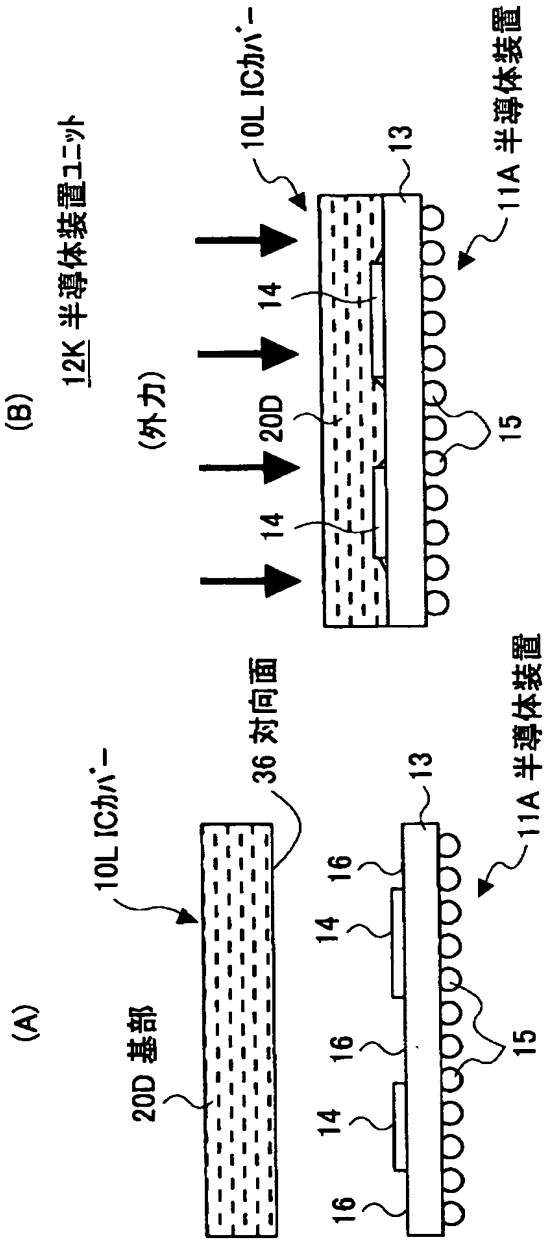
【図 2 2】



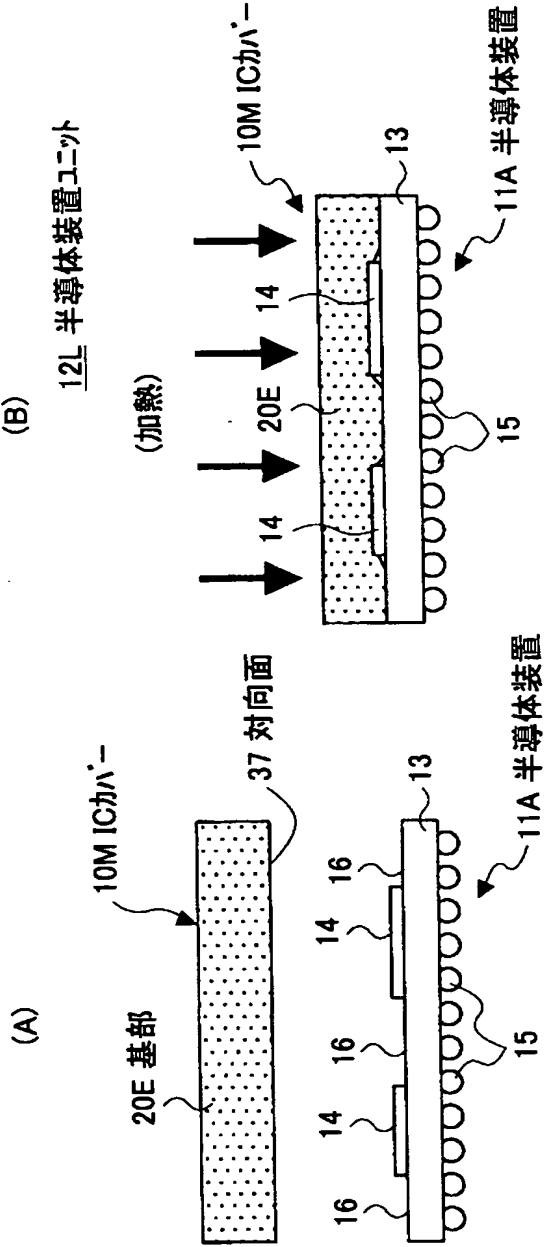
【図 23】



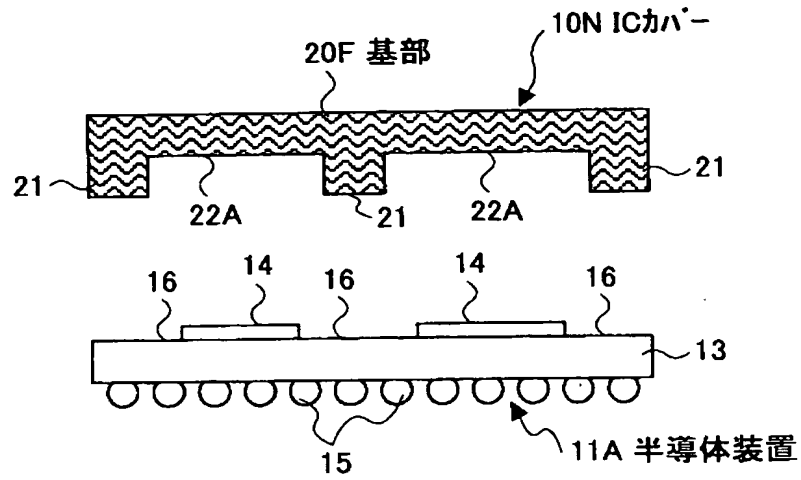
【図 24】



【図25】



【図 26】



【書類名】 要約書

【要約】

【課題】 本発明は半導体装置用カバー及び半導体装置ユニット及び半導体装置の梱包構造及び半導体装置の保護方法に係り、試験の信頼性を高めると共に出荷包装時における半導体装置の損傷を確実に防止することを課題とする。

【解決手段】 表面に半導体チップ 14 が形成されることにより、表面が凹凸形状とされた半導体装置 11A に IC カバー 10A を装着する。また、この IC カバー 10A が、半導体装置 11A の表面内に存在する接触可能位置 16 と接触するよう形成された凸部 21 と、装着状態において表面と離間するよう凸部 21 により表面上に支持される基部 20A とを有する構成とする。更に、半導体装置 11A に対し、IC カバー 10A が着脱可能な構成とする。

【選択図】 図 1



特願 2 0 0 3 - 3 4 8 7 9 6

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 5 2 2 3]

1. 変更年月日

1 9 9 6 年 3 月 2 6 日

[変更理由]

住所変更

住 所

神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号

氏 名

富士通株式会社